

Docket No.: 67161-064

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Kenichi OOTO, et al. :
: Serial No.: : Group Art Unit:
: Filed: July 22, 2003 : Examiner:
: For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

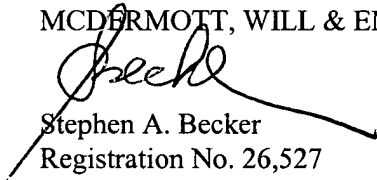
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-026904, filed February 4, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 22, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-064
Kenichi Doto, et al.
July 22, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 2月 4日

出願番号

Application Number:

特願2003-026904

[ST.10/C]:

[JP2003-026904]

出願人

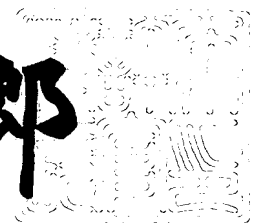
Applicant(s):

三菱電機株式会社

2003年 2月28日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011960

【書類名】 特許願

【整理番号】 540129JP01

【提出日】 平成15年 2月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768
H01L 27/088

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大音 建一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 竹内 雅彦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 田中 義典

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の主表面を覆うように形成されたゲート酸化膜の上側に線状に平行に複数本のゲート電極を形成し、前記ゲート電極の側方を覆う絶縁膜であるサイドウォールスペーサを形成することによって、複数本のゲート隆起部を形成するゲート隆起部形成工程と、

前記ゲート隆起部に対して、前記ゲート隆起部同士の間隙および上側を覆う層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜の上面から前記ゲート隆起部同士の間を通過して前記半導体基板の内部に入り込んだ第 1 底部に至るコンタクトホールを形成するコンタクトホール形成工程と、

前記第 1 底部の側面を覆う拡散防止膜を形成するとともに前記第 1 底部の底面をさらに掘り下げることによって、底面および側面に前記半導体基板を露出させた第 2 底部を形成する掘り下げ工程と、

前記コンタクトホールの内部に不純物をドーピングしたポリシリコンを充填するプラグ形成工程とを含む、

半導体装置の製造方法。

【請求項 2】 前記掘り下げ工程における第 2 底部の形成は、ウェットエッチングによって行なう、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記拡散防止膜として、アンドーフトポリシリコンを用いる、請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 半導体基板の主表面を覆うように形成されたゲート酸化膜の上側に、線状に平行に複数本形成されたゲート電極の各々の側方を覆うサイドウォールスペーサを形成するとともに前記ゲート電極同士の間隙に露出する前記ゲート酸化膜を貫通して前記半導体基板の内部に入り込んだ第 1 底部を形成する第 1 底部形成工程と、

前記第 1 底部を含む前記半導体基板の上側を覆うストッパ膜を形成するストッパ膜形成工程と、

前記ストッパ膜の上側を覆う層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜の上面から前記ゲート電極同士の間を通過して前記ストッパ膜に至るコンタクトホールを形成するコンタクトホール形成工程と、

前記ストッパ膜を部分的に除去することによって前記第 1 底部の側面を覆う拡散防止膜を形成するとともに前記第 1 底部の底面をさらに掘り下げることによって、底面および側面に前記半導体基板を露出させた第 2 底部を形成する掘り下げ工程と、

前記コンタクトホールの内部に不純物をドーピングしたポリシリコンを充填するプラグ形成工程とを含む、

半導体装置の製造方法。

【請求項 5】 前記掘り下げ工程における第 2 底部の形成は、ウェットエッチングによって行なう、請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記拡散防止膜として、ボロンをドーピングされたポリシリコンを用いる、請求項 1, 2, 4 および 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 前記サイドウォールスペーサを形成する前に、前記ゲート電極同士の間で露出している前記ゲート酸化膜に対して P 型不純物を斜めに注入することによって、前記ゲート電極の真下に入り込むように P 型不純物がドーピングされた領域を形成する工程を含む、請求項 1 から 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】 前記プラグ形成工程の前に、前記コンタクトホールの底面に N 型不純物を注入する工程を含む、請求項 1 から 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】 半導体基板と、

前記半導体基板の上側にゲート絶縁膜を介して線状に平行に複数本形成されたゲート電極と、

前記ゲート電極同士に挟まれた間隙において、不純物がドーピングされたポリシリコンで、下端が前記半導体基板に入り込むように形成されたプラグ電極と、

前記プラグ電極の下端近傍において前記プラグ電極の側面を覆いつつ、前記半

導体基板の内部に入り込むように延在している拡散防止膜とを備える、半導体装置。

【請求項 1 0】 前記ゲート電極の真下に入り込むように、P型不純物がドーピングされた領域を備える、請求項 9 に記載の半導体装置。

【請求項 1 1】 前記半導体基板のうち前記プラグ電極の下端に接する部分にN型不純物が注入されている、請求項 9 または 1 0 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、プラグ電極を備える半導体装置およびその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

従来、ポリシリコンからなるプラグ電極を備える半導体装置としては、特開 2 0 0 1 - 2 1 7 3 2 0 号公報（特許文献 1）に開示されているものや、特開平 7 - 2 3 0 9 6 7 号公報（特許文献 2）に開示されているものがあった。これらの半導体装置においては、半導体基板としてのシリコン基板の上面にゲート酸化膜を形成し、その上側に平行に複数の線状のゲート電極を形成することによってトランジスタを形成し、ゲート電極同士の間にはポリシリコンからなるプラグ電極を配置している。プラグ電極の下端は半導体基板に直接接続されている。

【0 0 0 3】

特に、特許文献 1 では、半導体基板の中に入り込むようにエッチングすることによって半導体基板に凹部であるトレンチを形成して、このトレンチの下部側面および底面に不純物を注入してウェルバイアス領域を形成し、このトレンチを充填するようにコンタクト部としてプラグ電極を形成している。

【0 0 0 4】

【特許文献 1】

特開 2 0 0 1 - 2 1 7 3 2 0 号公報

【0 0 0 5】

【特許文献 2】

特開平 7 - 2 3 0 9 6 7 号公報

【0 0 0 6】

【発明が解決しようとする課題】

ゲート電極同士の間において、不純物をドーブしたポリシリコンからなるプラグ電極を半導体基板に直接接続した場合、ポリシリコンから半導体基板内に不純物が拡散し、ゲート電極の両端近傍の真下に高濃度のソース・ドレイン領域が存在するようになる。このようになると、G I D L (Gate Induced Drain Leakage) が多く発生する。ここでいう「G I D L」とは、ゲート電極に負バイアスを印加し、ドレイン電極に正バイアスを印加した際に、空乏層がドレイン領域内に延び、この延びた領域においては電界密度が高くなるので、電子が B T B T (Band To Band Tunneling) を引き起こし、リーク電流が流れる現象である。また、プラグ電極として半導体基板に接続されたポリシリコンから半導体基板内に不純物が拡散すると、トランジスタのパンチスルーが起こりやすくなる。すなわち、いわゆる「パンチスルー耐性」が低下する。あるいは、パンチスルーが起こりやすくなることを、「パンチスルーマージンが小さくなる」ともいう。

【0 0 0 7】

一方、ゲート電極を形成し、ゲート電極の側壁を酸化した後に、ボロンなどの P 型不純物をゲート電極同士の間に出した半導体基板のソース・ドレイン領域に向けて斜めに注入することによってパンチスルー耐性を高めるという技術がある。しかし、その場合、ソース・ドレイン領域の表層部に P 型不純物が注入されてしまうことによって、コンタクト抵抗が増大するという問題点がある。コンタクト抵抗が増大すると、トランジスタの飽和領域における電流値が小さくなるので、トランジスタの書き込み速度が遅くなるという問題をもたらす。

【0 0 0 8】

そこで、本発明は、G I D L を防止し、なおかつ、パンチスルー耐性を高く維持することができ、なおかつ、コンタクト抵抗も増大させない半導体装置およびその製造方法を提供することを目的とする。

【0 0 0 9】

【課題を解決するための手段】

上記目的を達成するため、本発明に基づく半導体装置の製造方法は、半導体基板の主表面を覆うように形成されたゲート酸化膜の上側に線状に平行に複数本のゲート電極を形成し、前記ゲート電極の側方を覆う絶縁膜であるサイドウォールスペーサを形成することによって、複数本のゲート隆起部を形成するゲート隆起部形成工程と、前記ゲート隆起部に対して、前記ゲート隆起部同士の間隙および上側を覆う層間絶縁膜を形成する層間絶縁膜形成工程と、前記層間絶縁膜の上面から前記ゲート隆起部同士の間を通過して前記半導体基板の内部に入り込んだ第1底部に至るコンタクトホールを形成するコンタクトホール形成工程と、前記第1底部の側面を覆う拡散防止膜を形成するとともに前記第1底部の底面をさらに掘り下げることによって、底面および側面に前記半導体基板を露出させた第2底部を形成する掘り下げ工程と、前記コンタクトホールの内部に不純物をドーブしたポリシリコンを充填するプラグ形成工程とを含む。

【0010】

【発明の実施の形態】

(実施の形態1)

(製造方法)

図1～図14を参照して、本発明に基づく実施の形態1における半導体装置の製造方法について説明する。

【0011】

図1に示すように、P型のシリコン基板である半導体基板1の上面に局所的に分離酸化膜2を形成する。半導体基板1の上面の分離酸化膜2に覆われていない位置にゲート酸化膜3を形成する。チャネルドーブとして、BやBF₂などのP型不純物を注入し、チャネル層4を形成する。図2に示すように、これらの上側を覆うようにゲート電極の材料であるポリシリコン層5fとWSi膜6fとを合わせて厚み150nmになるように形成する。その上側に続けて窒化膜7を160nm堆積させる。フォトリソグラフィ法によってレジスト膜のパターンを形成し、異方性ドライエッチングを行ない、レジスト膜を除去することによって、図3に示すように窒化膜7のパターニングを行なう。この窒化膜7をマスクとして

さらに異方性ドライエッチングを行ない、図4に示すようにゲート電極5を形成する。W S i 膜6 f はゲート電極5とほぼ同じ大きさでゲート電極5の上側を覆うW S i 膜6となる。ゲート電極5およびW S i 膜6の側面を酸化し、図5に示すように側壁酸化膜8を形成する。さらに、PやA sなどのN型不純物を注入することによって、同じく図5に示すようにソース／ドレイン領域9を形成する。

【0012】

全体に窒化膜を20nm堆積し、この窒化膜に異方性ドライエッチングを施すことにより、図6に示すようにサイドウォールスペーサ10を形成する。この異方性ドライエッチングは、ゲート酸化膜3が露出したところで止まるように行なう。このサイドウォールスペーサ10の材料となる窒化膜を堆積する際には熱処理を伴うが、この熱処理によって図6に示すようにソース／ドレイン領域9から半導体基板1の内部に向けて不純物の拡散が起こり、拡散部9 d が形成される。次に、図7に示すように、全体にストッパ膜としての窒化膜11を15nm堆積させる。

【0013】

さらに、全面を上から覆うようにB P T E O S (Boro Phospho Tetra-Ethyl Ortho Silicate) からなる層間絶縁膜12を500nm堆積させる。フォトリソグラフィ法および異方性ドライエッチングにより、図8に示すようにコンタクトホール13を形成する。窒化膜11のストッパ膜としての作用により、コンタクトホール13を形成するためのエッチングは、窒化膜11で一旦止まる。ここでさらに異方性ドライエッチングを行ない、コンタクトホール13の底面を覆っていた窒化膜11を除去し、図9に示すように半導体基板1の内部にやや入り込んだ深さまで掘り下げる。たとえば、図9に示す深さD1が約20nmになるまで掘り下げる。このときのコンタクトホール13の底部を説明の便宜上「第1底部」と呼ぶものとする。「深さD1」とは、図9に示すように半導体基板1の上面から第1底部の底面までの深さをいう。この状態で、図10に示すように全面に5nm程度の窒化膜17 f を堆積させる。

【0014】

次に、全面に渡って窒化膜17 f に対する異方性ドライエッチングを行ない、

図 1 1 に示すように窒化膜 1 7 f のうち残存部分によって拡散防止膜 1 7 を形成する。その結果、拡散防止膜 1 7 の下端は、第 1 底部に位置するので、半導体基板 1 の他の領域における上面よりも D 1 だけ低い位置まで入り込んだ形になる。この拡散防止膜 1 7 形成のための異方性ドライエッチングの際には半導体基板 1 に対して拡散防止膜 1 7 の下端からさらに約 3 0 n m だけ深い位置まで掘り下げる。このときのコンタクトホール 1 3 の底部を説明の便宜上「第 2 底部」と呼ぶものとする。

【 0 0 1 5 】

次に、図 1 2 に示すように、第 2 底部に露出した半導体基板 1 に対して、P などの N 型不純物を注入する。こうして、コンタクトホール 1 3 の下方に N 型不純物領域 1 4 が形成される。なお、拡散防止膜 1 7 は、ここでは窒化膜としたが、窒化膜に代えて酸化膜としてもよく、あるいは、酸化膜および窒化膜の組合せとしてもよい。

【 0 0 1 6 】

プラグの材料であるポリシリコンを 3 0 0 n m 堆積する。このポリシリコンには P または A s といった N 型不純物が $4 \times 10^{20} \text{ cm}^{-3}$ の濃度だけドーピングされている。CMP (Chemical Mechanical Polishing) または全面エッチバックにより、図 1 3 に示すように、コンタクトホール 1 3 内にプラグ 1 5 を形成する。図 1 3 におけるコンタクトホール 1 3 底部近傍を拡大したところを図 1 4 に示す。N 型不純物領域 1 4、ソース／ドレイン領域 9、およびプラグ 1 5 の各々から不純物が拡散し、それぞれ拡散部 1 4 d、9 d、1 5 d となっている。

【 0 0 1 7 】

(半導体装置の構成)

本実施の形態における半導体装置は、図 1 3、図 1 4 に示すように、半導体基板 1 の上側にゲート絶縁膜としてのゲート酸化膜 3 を介して線状に平行に複数本形成されたゲート電極 5 を備える。さらに、ゲート電極 5 同士に挟まれた間隙において、N 型不純物がドーピングされたポリシリコンで、下端が半導体基板 1 に入り込むように形成されたプラグ 1 5 を備える。さらに、プラグ 1 5 の下端近傍においてプラグ 1 5 の側面を覆いつつ、半導体基板 1 の内部に入り込むように延在し

ている拡散防止膜 1 7 を備える。

【 0 0 1 8 】

また、この半導体装置のように、半導体基板 1 のうちプラグ 1 5 の下端に接する部分に N 型不純物が注入された N 型不純物領域 1 4 を備えていることが好ましい。

【 0 0 1 9 】

(作用・効果)

本実施の形態における半導体装置の製造方法で得る半導体装置、あるいは、本実施の形態における半導体装置では、拡散防止膜 1 7 が半導体基板 1 に入り込むように下に延びているため、プラグ 1 5 から半導体基板 1 への拡散は、プラグ 1 5 が拡散防止膜 1 7 よりさらに深く延びている部分からのみ行なわれる。したがって、図 1 4 の拡散部 1 5 d の形状に表れるように、半導体基板 1 の表面に沿った拡散は小さく抑えられる。その結果、半導体基板 1 の表面に沿ったゲート電極 5 の端から拡散部 1 5 d までの距離 B は、拡散防止膜 1 7 がいない構造の場合の拡散部 1 5 d 1 までの距離 A (図 1 5 参照) に比べて、大きくなる。本実施の形態では、距離 B が長くなっているため、パンチスルーが起こりにくい。言い換えれば、パンチスルー耐性が高くなっている。

【 0 0 2 0 】

また、拡散防止膜 1 7 が半導体基板 1 内に入り込むことによって半導体基板 1 表面においてはプラグ 1 5 を外部から遮る形となっているので、ゲート電極に負バイアスを印加し、ドレイン電極に正バイアスを印加した場合でも B T B T の発生を抑えることができ、G I D L を防止することができる。

【 0 0 2 1 】

また、第 1 底部からさらに半導体基板を約 3 0 n m 掘り下げ、底面および側面に半導体基板 1 が露出した第 2 底部においてプラグ 1 5 と半導体基板 1 との接続が行なわれているため、プラグ 1 5 と半導体基板 1 との接触面積が広く確保でき、コンタクト抵抗を低減することができる。

【 0 0 2 2 】

拡散防止膜 1 7 は、上述の例では窒化膜で形成した。窒化膜であれば、プラグ

15を形成する前にコンタクトホール13の内面に対して行なうフッ酸処理にも強いと好ましい。一方、拡散防止膜17の材質として窒化膜に代えて酸化膜を用いた場合、半導体基板1へのストレスを緩和することができ、ホットキャリア特性が向上するため、好ましい。

【0023】

ところで、図7の状態のものに対して層間絶縁膜12を堆積する際には、狭い谷間部分の内部に埋込み不良となって内部に空洞が残ったままとなる場合がある。このような埋込み不良による空洞がある場合、図8に示したように層間絶縁膜12にコンタクトホール13を形成した時点で、実際には図16に示すように、空洞30がコンタクトホール13の壁に出現する。図8ではコンタクトホール13の奥側の壁は省略して表示していなかったが、図16ではこれを表示している。この空洞30とコンタクトホール13との幾何学的関係を模式化して立体的に示すと図17のようになる。ただし、図17では、図16における紙面奥手前方向に並ぶ2つのコンタクトホール13a, 13bを表示している。図17に示されるように、互いに離れて並ぶコンタクトホール13a, 13b同士が空洞30によってつながった形となる。このまま各コンタクトホール内にプラグ15の材料（以下「プラグ材料」という。）を充填した場合、プラグ材料が空洞30内にも堆積し、その結果、プラグ同士が互いに離れているにもかかわらず電氣的に接続された状態となってしまうという問題があった。

【0024】

しかし、本実施の形態では、コンタクトホール13にプラグ15を充填する前に、図10に示したように絶縁膜である拡散防止膜17の材料としての窒化膜17fを全面に形成するので、この絶縁膜の材料によって予め空洞30が埋められた状態となる。プラグ15が充填されるのはその後であるので、プラグ材料は空洞30内部に入り込むことはできない。その結果、プラグ同士が空洞30を介して電氣的に接続されることを防止することができる。

【0025】

なお、この半導体装置では、プラグ15の下端に接する部分にN型不純物領域14が設けられていることにより、プラグ15と半導体基板1との間のコンタク

ト抵抗が低減されている。

【0026】

(実施の形態2)

(製造方法)

図1～図10、図18～図21を参照して、本発明に基づく実施の形態2における半導体装置の製造方法について説明する。図1から図10までの工程は、実施の形態1で説明したものと同一である。実施の形態1では、図10の構造に対して異方性ドライエッチングを行なうことで底面の窒化膜17fを除去するだけでなくさらに半導体基板1に約30nmだけ入り込むように掘り下げていたが(図11参照)、本実施の形態では、図10の構造に対して異方性エッチングを行ない、図18に示すように、コンタクトホール底面の窒化膜17fを除去して半導体基板1が露出する時点で止める。この時点で窒化膜17fの残存部によって拡散防止膜17が形成されている。さらに、コンタクトホール13の底面に露出した半導体基板1に対してウェットエッチングを行なう。ウェットエッチングは等方性で進行するので、図19に示すようにコンタクトホール13の底部を掘り広げた形状を得ることができる。コンタクトホール13の底部に露出した半導体基板1に対して、PなどのN型不純物を注入する。こうして、図20に示すようにコンタクトホール13の下方にN型不純物領域14が形成される。実施の形態1で行なったのと同様に、N型不純物をドーパされたポリシリコンをプラグの材料として堆積する。こうして、図21に示すようにプラグ15を形成する。

【0027】

(作用・効果)

本実施の形態では、コンタクトホールの底部に半導体基板1を露出させた後、掘り下げるのに異方性ドライエッチングではなくウェットエッチングを用いているので、半導体基板を異方性ドライエッチングなどでプラズマにさらした場合、半導体基板にダメージが生じるが、ウェットエッチングでは半導体基板をプラズマにさらすことなく掘り下げることができるので、半導体基板に与えるダメージを低減できる。

【0028】

また、ウェットエッチングでは等方性で進行するので、図 1 9 に示すようにコンタクトホール底部で半導体基板が露出する面積が大きくなる。したがって、プラグを充填したときにプラグと半導体基板とが接触する面積を大きく確保することができる。よって、コンタクト抵抗を低減することができる。

【0029】

本実施の形態では、その他、実施の形態 1 で説明した効果も得ることができる。

【0030】

(実施の形態 3)

(製造方法)

図 1 ～図 9、図 2 2 ～図 2 6 を参照して、本発明に基づく実施の形態 3 における半導体装置の製造方法について説明する。図 1 から図 9 までの工程は、実施の形態 1 で説明したものと同一である。実施の形態 1 では、図 9 の構造に対して、全面に 5 n m 程度の窒化膜 1 7 f を堆積させていたが（図 1 0 参照）、本実施の形態では、窒化膜 1 7 f の代わりに、P 型不純物であるボロンをドーピングしたポリシリコンを全面に 5 n m 程度堆積させる。こうして、図 2 2 に示すように、ボロンドープトポリシリコン膜 1 8 f で覆われた構造を得る。

【0031】

次に、全面にボロンドープトポリシリコン膜 1 8 f に対する異方性ドライエッチングを行ない、図 2 3 に示すようにボロンドープトポリシリコン膜 1 8 f のうち残存部分によって拡散防止膜 1 8 を形成する。その結果、拡散防止膜 1 8 の下端は、半導体基板 1 の他の領域における上面よりも D 1 だけ低い位置まで入り込んだ形になる。この拡散防止膜 1 8 形成のための異方性ドライエッチングの際には半導体基板 1 に対して拡散防止膜 1 8 の下端からさらに約 3 0 n m だけ深い位置まで掘り下げる。

【0032】

次に、図 2 4 に示すように、コンタクトホール 1 3 の底部に露出した半導体基板 1 に対して、P などの N 型不純物を注入する。こうして、コンタクトホール 1 3 の下方に N 型不純物領域 1 4 が形成される。実施の形態 1 で行なったのと同様

に、N型不純物をドーピングされたポリシリコンをプラグの材料として堆積する。こうして、図25に示すようにプラグ15を形成する。図25におけるプラグ15の底部近傍の拡大図を図26に示す。

【0033】

（作用・効果）

本実施の形態における半導体装置の製造方法で得る半導体装置、あるいは、本実施の形態における半導体装置では、拡散防止膜18が半導体基板1に入り込むように下に延びている。しかも、拡散防止膜18は、P型不純物としてボロンをドーピングされたポリシリコンからなるので、拡散防止膜18からはボロンが拡散し、図26に示すようにP型のボロン拡散領域18dが形成される。ボロン拡散領域18dは特に半導体基板1の表面近傍で側方に向かってより遠くまで拡散している。このようなボロン拡散領域18dが形成されることにより、パンチスルーは実施の形態1の場合以上に起こりにくくなる。

【0034】

（実施の形態4）

（製造方法）

本発明に基づく実施の形態4における半導体装置の製造方法について説明する。実施の形態3では、図9の構造に対して、拡散防止膜18をボロンドープトポリシリコンで形成したが、本実施の形態では、その代わりに、同じ形状の拡散防止膜をアンドープトポリシリコンで形成する。その結果、図27に示す半導体装置を得ることができる。

【0035】

（作用・効果）

本実施の形態では、実施の形態3において図26を参照して説明したような拡散防止膜から半導体基板への拡散は起こらないが、後にコンタクトホール13に充填されるN型不純物を含むプラグ15の側面はゲート電極5の端からより遠い位置となるので、拡散防止膜なしに直接プラグを形成した構造に比べればパンチスルー耐性は高くなる。

【0036】

(実施の形態 5)

(製造方法)

本発明に基づく実施の形態 5 における半導体装置の製造方法について説明する。実施の形態 3 では、図 9 の構造に対して、拡散防止膜 1 8 の材料となるボロンドープトポリシリコンを全面に 5 n m 程度堆積し、ボロンドープトポリシリコン膜 1 8 f としていたが（図 2 2 参照）、本実施の形態では、ボロンドープトポリシリコンを全面に 4 5 n m 程度堆積させ、ボロンドープトポリシリコン膜 1 8 g とする。異方性ドライエッチングを行ない、図 2 8 に示すように、コンタクトホール底面のボロンドープトポリシリコン膜 1 8 g を除去して半導体基板 1 が露出する時点で止める。さらに、コンタクトホール 1 3 の底面に露出した半導体基板 1 に対してウェットエッチングを行なう。ウェットエッチングは等方性で進行するので、図 2 9 に示すようにコンタクトホール 1 3 の底部を掘り広げた形状を得ることができる。ボロンドープトポリシリコン膜 1 8 g が図 2 8 に比べて図 2 9 で薄くなっているのは、ウェットエッチング時に除去されたためである。本実施の形態では、このことを見越してボロンドープトポリシリコン膜 1 8 g の初期厚みを 4 5 n m と厚くしていた。図 2 9 の状態から後の工程は実施の形態 2 における製造方法と同様である。

【 0 0 3 7 】

(作用・効果)

本実施の形態は、実施の形態 2 と実施の形態 3 との両方の構成を採用したものであり、実施の形態 2 における効果と、実施の形態 3 における効果との双方を享受することができる。

【 0 0 3 8 】

(実施の形態 6)

(製造方法)

図 1 ～図 5、図 3 0、図 6 ～図 1 0、図 3 1 ～図 3 4 を参照して、本発明に基づく実施の形態 6 における半導体装置の製造方法について説明する。図 1 から図 5 までの工程は、実施の形態 1 で説明したものと同一である。実施の形態 1 では、図 5 の構造に対してサイドウォールスペーサ 1 0 を形成していたが（図 6 参照

）、本実施の形態では、図 5 の構造に対して上方から P 型不純物としてボロンなどを斜めに注入し、図 3 0 に示すように、ゲート電極 5 同士の間隙に露出した半導体基板 1 の表面近傍に P 型不純物領域 1 6 を形成する。P 型不純物領域 1 6 はソース／ドレイン領域 9 より浅く形成されるが、斜めに注入しているので側方に向かってはソース／ドレイン領域 9 より長く広がり、ゲート電極 5 の下方に若干入り込んだ形となる。

【 0 0 3 9 】

実施の形態 1 において図 6 ～図 1 0 を参照して説明したのと同じ工程を行ない、サイドウォールスペーサ 1 0、窒化膜 1 1、層間絶縁膜 1 2、コンタクトホール 1 3、窒化膜 1 7 f を順に形成する。ここで、実施の形態 1 に比したときの違いは、P 型不純物領域 1 6 が存在することである。

【 0 0 4 0 】

次に、全面に渡って窒化膜 1 7 f に対する異方性ドライエッチングを行ない、図 3 1 に示すように窒化膜 1 7 f のうち残存部分によって拡散防止膜 1 7 を形成する。その結果、拡散防止膜 1 7 の下端は、半導体基板 1 の他の領域における上面よりも D 1 だけ低い位置まで入り込んだ形になる。この拡散防止膜 1 7 形成のための異方性ドライエッチングの際には半導体基板 1 に対して、P 型不純物領域 1 6 を通り越してソース／ドレイン領域 9 に達するように掘り下げる。

【 0 0 4 1 】

図 3 2 に示すように、コンタクトホール 1 3 の底部に露出した半導体基板 1 に対して、P などの N 型不純物を注入し、N 型不純物領域 1 4 を形成する。図 3 3 に示すように、コンタクトホール 1 3 内にプラグ 1 5 を形成する。図 3 3 におけるコンタクトホール 1 3 底部近傍を拡大したところを図 3 4 に示す。N 型不純物領域 1 4、ソース／ドレイン領域 9、およびプラグ 1 5 の各々から不純物が拡散し、それぞれ拡散部 1 4 d、9 d、1 5 d となっている。

【 0 0 4 2 】

（半導体装置の構成）

本実施の形態における半導体装置は、図 3 3、図 3 4 に示すように、P 型不純物領域 1 6 を備える。P 型不純物領域 1 6 は、ゲート電極 5 の真下に一部入り込

むように延在する。他の部分の構成は、実施の形態 1 で説明した半導体装置の構成と同様である。

【0043】

(作用・効果)

本実施の形態における半導体装置の製造方法で得る半導体装置、あるいは、本実施の形態における半導体装置では、P 型不純物領域 16 があることによって、パンチスルーが起こりにくくなる。すなわち、パンチスルー耐性が高まる。

【0044】

仮に、ただ単に P 型不純物領域 16 を設けただけで、コンタクトホール 13 の深さが従来通りであった場合、プラグ 15 が半導体基板 1 に接する位置が P 型不純物領域 16 の中となり、その場合は、パンチスルー耐性が高まるという効果は得られるもののコンタクト抵抗が増加してしまうという弊害があったが、本実施の形態では、コンタクトホール 13 の底部が P 型不純物領域 16 を通り越してソース／ドレイン領域 9 に達するように形成されているので、コンタクト抵抗が増加するという弊害は回避できる。また、半導体基板 1 を掘り下げることによってプラグ 15 と半導体基板 1 との接する面積が大きくなっているため、コンタクト抵抗を低減することができる。

【0045】

本実施の形態では、その他、実施の形態 1 で説明した効果も得ることができる。拡散防止膜 17 を窒化膜でなく、酸化膜で形成した場合の効果も実施の形態 1 で説明したと同様である。層間絶縁膜 12 の埋込み不良で生じた空洞に関する効果も実施の形態 1 で説明したと同様である。

【0046】

なお、本実施の形態でも、実施の形態 2 の考え方を組合せて、拡散防止膜 17 を形成するための異方性ドライエッチングにおいて、半導体基板 1 が露出するところで一旦、異方性ドライエッチングを止めて、その続きはウェットエッチングで半導体基板 1 を掘り広げることにしてもよい。こうした場合、上述の効果に加えてさらに実施の形態 2 で説明した効果も得ることができる。

【0047】

(実施の形態 7)

(製造方法)

図 1 ～ 図 5、図 3 5 ～ 図 4 0 を参照して、本発明に基づく実施の形態 7 における半導体装置の製造方法について説明する。図 1 から図 5 までの工程は、実施の形態 1 で説明したものと同一である。実施の形態 1 では、図 5 の構造に対して、全体に窒化膜を 2 0 n m 堆積させ、ゲート酸化膜 3 が露出するまで異方性ドライエッチングを行なうことにより、サイドウォールスペーサ 1 0 を形成していたが（図 6 参照）、本実施の形態では、この異方性ドライエッチングはゲート酸化膜 3 が露出するまでではなく、ゲート酸化膜 3 を除去して半導体基板 1 内に約 2 0 n m 入り込むまで行なう。その結果、図 3 5 に示す構造を得る。この状態で、図 3 6 に示すように全体にストッパ膜としての窒化膜 1 1 を 1 5 n m 堆積させる。さらに B P T E O S からなる層間絶縁膜 1 2 を 5 0 0 n m 堆積させ、全面に異方性ドライエッチングを行ない、窒化膜 1 1 のうち残存部分によって図 3 7 に示すように拡散防止膜 1 1 k を形成する。この拡散防止膜 1 1 k を形成するための異方性ドライエッチングにおいては、拡散防止膜 1 1 k の下端よりさらに 3 0 n m 深くまで掘り下げる。こうして、コンタクトホール 1 3 w が形成される。

【 0 0 4 8 】

次に、図 3 8 に示すように、コンタクトホール 1 3 w の底部に露出した半導体基板 1 に対して、P などの N 型不純物を注入する。こうして、コンタクトホール 1 3 w の下方に N 型不純物領域 1 4 w が形成される。さらに、実施の形態 1 と同様にして、図 3 9 に示すように、コンタクトホール 1 3 w 内にプラグ 1 5 w を形成する。図 3 9 におけるコンタクトホール 1 3 w 底部近傍を拡大したところを図 4 0 に示す。N 型不純物領域 1 4 w、ソース／ドレイン領域 9、およびプラグ 1 5 w の各々から不純物が拡散し、それぞれ拡散部 1 4 w d、9 d、1 5 w d となっている。

【 0 0 4 9 】

(作用・効果)

本実施の形態における半導体装置の製造方法で得る半導体装置では、拡散防止膜 1 1 k が半導体基板 1 に入り込むように下に延びているため、プラグ 1 5 w か

ら半導体基板 1 への拡散は、プラグ 1 5 w が拡散防止膜 1 1 k よりさらに深く延びている部分からのみ行なわれる。したがって、図 4 0 の拡散部 1 5 w d の形状に表れるように、半導体基板 1 の表面に沿った拡散は小さく抑えられる。その結果、実施の形態 1 と同様にパンチスルーが起こりにくい。言い換えれば、パンチスルー耐性が高くなっている。また、実施の形態 1 と同様に G I D L を防止することができる。また、セルフアライン方式でコンタクトホール 1 3 w を形成するためのストッパ膜としての窒化膜がそのまま拡散防止膜を兼ねているので、ゲート電極 5 の配置や大きさが従来通りであっても、コンタクトホール 1 3 w をより広い幅で形成することができる。その結果、コンタクトホール 1 3 w の底部におけるプラグ 1 5 w と半導体基板 1 との接触面積もより大きくすることができ、実施の形態 1 よりもさらにコンタクト抵抗を小さくすることができる。

【 0 0 5 0 】

なお、本実施の形態でも、実施の形態 2 の考え方を組合せて、拡散防止膜 1 1 k を形成するための異方性ドライエッチングにおいて、半導体基板 1 が露出するところで一旦、異方性ドライエッチングを止めて、その続きはウェットエッチングで半導体基板 1 を掘り広げることにしてもよい。こうした場合、上述の効果に加えてさらに実施の形態 2 で説明した効果も得ることができる。

【 0 0 5 1 】

(実施の形態 8)

図 1 ～図 5、図 3 0、図 4 1 ～図 4 5 を参照して本発明に基づく実施の形態 8 における半導体装置の製造方法について説明する。本実施の形態は、実施の形態 6 と実施の形態 7 との考え方を組合せたものであり、途中の工程までは実施の形態 6 と共通する。すなわち、図 1 から図 5 までの工程は、実施の形態 6 でも述べているように実施の形態 1 で説明したものと同一である。本実施の形態では、実施の形態 6 と同じように、図 5 の構造に対して上方から P 型不純物としてボロンなどを斜めに注入し、図 3 0 に示すように、ゲート電極 5 同士の間隙に露出した半導体基板 1 の表面近傍に P 型不純物領域 1 6 を形成する。

【 0 0 5 2 】

この後、実施の形態 1 と同様に、サイドウォールスペーサ 1 0 を形成するが、

実施の形態 1 では、窒化膜から異方性ドライエッチングでサイドウォールスペーサ 1 0 を形成しようとする際に、図 6 に示したようにゲート酸化膜 3 が露出したところで異方性ドライエッチングが止まるようにしていたが、本実施の形態では、異方性ドライエッチングをここで止めず、図 4 1 に示すように露出したゲート酸化膜 3 を除去し、さらに半導体基板 1 の内部に約 2 0 n m 入り込んだところまで掘り下げる。次に、図 4 2 に示すように、全体にストッパ膜としての窒化膜 1 1 を 1 5 n m 堆積させる。さらに B P T E O S からなる層間絶縁膜 1 2 を 5 0 0 n m 堆積させ、全面に異方性ドライエッチングを行ない、窒化膜 1 1 のうち残存部分によって図 4 3 に示すように拡散防止膜 1 1 k を形成する。この拡散防止膜 1 1 k を形成するための異方性ドライエッチングにおいては、拡散防止膜 1 1 k の下端よりさらに 3 0 n m 深くまで掘り下げる。こうして、コンタクトホール 1 3 w が形成される。コンタクトホール 1 3 w の底部に露出した半導体基板 1 に対して、P などの N 型不純物を注入する。こうして、コンタクトホール 1 3 w の下方に N 型不純物領域 1 4 w が形成される。さらに、実施の形態 1 と同様にして、図 4 4 に示すように、コンタクトホール 1 3 w 内にプラグ 1 5 w を形成する。図 4 4 におけるコンタクトホール 1 3 w 底部近傍を拡大したところを図 4 5 に示す。N 型不純物領域 1 4 w、ソース／ドレイン領域 9、およびプラグ 1 5 w の各々から不純物が拡散し、それぞれ拡散部 1 4 w d, 9 d, 1 5 w d となっている。

【0 0 5 3】

(作用・効果)

本実施の形態では、実施の形態 6, 7 で説明した効果を共に得ることができる。

【0 0 5 4】

なお、本実施の形態に対しても、実施の形態 2 の考え方を組合せて、拡散防止膜 1 1 k を形成するための異方性エッチングにおいて、半導体基板 1 が露出するところで一旦、異方性ドライエッチングを止めて、その続きはウェットエッチングで半導体基板 1 を掘り広げることにもよい。こうした場合、上述の効果に加えてさらに実施の形態 2 で説明した効果も得ることができる。

【0 0 5 5】

(実施の形態 9)

図 1 ～ 図 5、図 3 5、図 4 6 ～ 図 5 1 を参照して、本発明に基づく実施の形態 9 における半導体装置の製造方法について説明する。本実施の形態は、実施の形態 3 と実施の形態 7 との考え方を組合せて応用したものである。

【0056】

図 1 から図 5 までの工程を行なった後に、サイドウォールスペーサ 1 0 を形成するための異方性ドライエッチングで図 3 5 に示すように半導体基板 1 内に約 2 0 n m 入り込むまで掘り下げる工程までは、実施の形態 7 と同じである。次に、図 4 6 に示すように、全面にボロンドープトポリシリコン膜 2 2 f を厚み 5 n m 程度堆積させる。全面にボロンドープトポリシリコン膜 2 2 f に対する異方性ドライエッチングを行ない、図 4 7 に示すようにボロンドープトポリシリコン膜 2 2 f のうち残存部分によって拡散防止膜 2 2 を形成する。この状態で、図 4 8 に示すように全体にストッパ膜としての窒化膜 1 1 を 1 5 n m 堆積させる。さらに B P T E O S からなる層間絶縁膜 1 2 を 5 0 0 n m 堆積させ、全面に異方性ドライエッチングを行ない、窒化膜 1 1 のうち残存部分によって図 4 9 に示すように拡散防止膜 1 1 k を形成する。この拡散防止膜 1 1 k を形成するための異方性ドライエッチングにおいては、拡散防止膜 1 1 k の下端よりさらに 3 0 n m 深くまで掘り下げる。こうして、コンタクトホール 1 3 y が形成される。コンタクトホール 1 3 y の底部に露出した半導体基板 1 に対して、P などの N 型不純物を注入することによって、N 型不純物領域 1 4 y が形成される。さらに、実施の形態 1 と同様にして、図 5 0 に示すように、コンタクトホール 1 3 y 内にプラグ 1 5 y を形成する。図 5 0 におけるコンタクトホール 1 3 y 底部近傍を拡大したところを図 5 1 に示す。拡散防止膜としては、拡散防止膜 2 2 と拡散防止膜 1 1 k の二重構造になっている。N 型不純物領域 1 4 y、ソース／ドレイン領域 9、およびプラグ 1 5 y の各々から不純物が拡散し、それぞれ拡散部 1 4 y d、9 d、1 5 y d となっている。拡散防止膜 2 2 は、P 型不純物としてボロンをドーパされたポリシリコンからなるので、拡散防止膜 2 2 からはボロンが拡散し、図 5 1 に示すように P 型のボロン拡散領域 2 2 d が形成されている。

【0057】

（作用・効果）

本実施の形態では、プラグと半導体基板との接する面積が実施の形態 7 に比べて若干小さくなるものの、それ以外の点については、実施の形態 7 で述べたと同様の効果を得ることができる。さらに、ボロン拡散領域 2 2 d が形成されることにより、パンチスルーは実施の形態 7 の場合以上に起こりにくくなる。

【0 0 5 8】

なお、本実施の形態でも、実施の形態 2 の考え方を組合せて、拡散防止膜 1 1 k を形成するための異方性ドライエッチングにおいて、半導体基板 1 が露出するところで一旦、異方性ドライエッチングを止めて、その続きはウェットエッチングで半導体基板 1 を掘り広げることにしてもよい。こうした場合、上述の効果に加えてさらに実施の形態 2 で説明した効果も得ることができる。

【0 0 5 9】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【0 0 6 0】

【発明の効果】

本発明によれば、コンタクト部において、拡散防止膜が半導体基板に入り込むように下に延びた構造の半導体装置を得ることができる。この構造の半導体装置では、プラグから半導体基板への拡散は、プラグが拡散防止膜よりさらに深く延びている部分からのみ行なわれるので、半導体基板の表面に沿った拡散は小さく抑えられる。その結果、パンチスルー耐性が高い半導体装置を得ることができる。また、拡散防止膜が半導体基板内に入り込むことによって、半導体基板表面においてはプラグは外部から遮られるので、G I D L を防止することもできる。さらに、プラグと半導体基板との接触面積が広く確保でき、コンタクト抵抗を低減することもできる。

【図面の簡単な説明】

【図 1】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法

の第 1 の工程の説明図である。

【図 2】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 2 の工程の説明図である。

【図 3】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 3 の工程の説明図である。

【図 4】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 4 の工程の説明図である。

【図 5】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 5 の工程の説明図である。

【図 6】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 6 の工程の説明図である。

【図 7】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 7 の工程の説明図である。

【図 8】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 8 の工程の説明図である。

【図 9】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 9 の工程の説明図である。

【図 1 0】 本発明に基づく実施の形態 1 などにおける半導体装置の製造方法の第 1 0 の工程の説明図である。

【図 1 1】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 1 1 の工程の説明図である。

【図 1 2】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 1 2 の工程の説明図である。

【図 1 3】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 1 3 の工程の説明図である。

【図 1 4】 図 1 3 の部分拡大図である。

【図 1 5】 実施の形態 1 において比較例として示した半導体装置の断面図である。

【図 1 6】 実施の形態 1 において層間絶縁膜の埋込み不良による空洞につ

いて説明するために示した半導体装置の製造途中の断面図である。

【図 1 7】 実施の形態 1 において層間絶縁膜の埋込み不良による空洞について説明するために示した模式的な斜視図である。

【図 1 8】 本発明に基づく実施の形態 2 における半導体装置の製造方法の第 1 1 の工程の説明図である。

【図 1 9】 本発明に基づく実施の形態 2 における半導体装置の製造方法の第 1 2 の工程の説明図である。

【図 2 0】 本発明に基づく実施の形態 2 における半導体装置の製造方法の第 1 3 の工程の説明図である。

【図 2 1】 本発明に基づく実施の形態 2 における半導体装置の製造方法の第 1 4 の工程の説明図である。

【図 2 2】 本発明に基づく実施の形態 3 における半導体装置の製造方法の第 1 0 の工程の説明図である。

【図 2 3】 本発明に基づく実施の形態 3 における半導体装置の製造方法の第 1 1 の工程の説明図である。

【図 2 4】 本発明に基づく実施の形態 3 における半導体装置の製造方法の第 1 2 の工程の説明図である。

【図 2 5】 本発明に基づく実施の形態 3 における半導体装置の製造方法の第 1 3 の工程の説明図である。

【図 2 6】 図 2 5 の部分拡大図である。

【図 2 7】 本発明に基づく実施の形態 4 における半導体装置の製造方法で得られる半導体装置の断面図である。

【図 2 8】 本発明に基づく実施の形態 5 における半導体装置の製造方法の第 1 0 の工程の説明図である。

【図 2 9】 本発明に基づく実施の形態 5 における半導体装置の製造方法の第 1 1 の工程の説明図である。

【図 3 0】 本発明に基づく実施の形態 6, 8 における半導体装置の製造方法の第 6 の工程の説明図である。

【図 3 1】 本発明に基づく実施の形態 6 における半導体装置の製造方法の

第 1 1 の工程の説明図である。

【図 3 2】 本発明に基づく実施の形態 6 における半導体装置の製造方法の第 1 2 の工程の説明図である。

【図 3 3】 本発明に基づく実施の形態 6 における半導体装置の製造方法の第 1 3 の工程の説明図である。

【図 3 4】 図 3 3 の部分拡大図である。

【図 3 5】 本発明に基づく実施の形態 7, 9 における半導体装置の製造方法の第 6 の工程の説明図である。

【図 3 6】 本発明に基づく実施の形態 7 における半導体装置の製造方法の第 7 の工程の説明図である。

【図 3 7】 本発明に基づく実施の形態 7 における半導体装置の製造方法の第 8 の工程の説明図である。

【図 3 8】 本発明に基づく実施の形態 7 における半導体装置の製造方法の第 9 の工程の説明図である。

【図 3 9】 本発明に基づく実施の形態 7 における半導体装置の製造方法の第 1 0 の工程の説明図である。

【図 4 0】 図 3 9 の部分拡大図である。

【図 4 1】 本発明に基づく実施の形態 8 における半導体装置の製造方法の第 7 の工程の説明図である。

【図 4 2】 本発明に基づく実施の形態 8 における半導体装置の製造方法の第 8 の工程の説明図である。

【図 4 3】 本発明に基づく実施の形態 8 における半導体装置の製造方法の第 9 の工程の説明図である。

【図 4 4】 本発明に基づく実施の形態 8 における半導体装置の製造方法の第 1 0 の工程の説明図である。

【図 4 5】 図 4 4 の部分拡大図である。

【図 4 6】 本発明に基づく実施の形態 9 における半導体装置の製造方法の第 7 の工程の説明図である。

【図 4 7】 本発明に基づく実施の形態 9 における半導体装置の製造方法の

第 8 の工程の説明図である。

【図 4 8】 本発明に基づく実施の形態 9 における半導体装置の製造方法の第 9 の工程の説明図である。

【図 4 9】 本発明に基づく実施の形態 9 における半導体装置の製造方法の第 1 0 の工程の説明図である。

【図 5 0】 本発明に基づく実施の形態 9 における半導体装置の製造方法の第 1 1 の工程の説明図である。

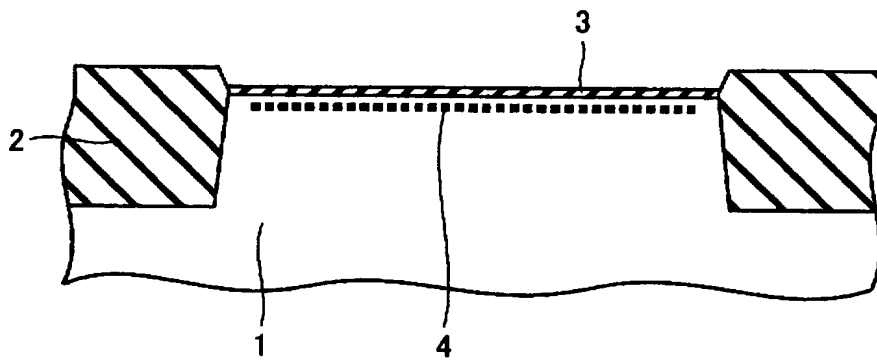
【図 5 1】 図 5 0 の部分拡大図である。

【符号の説明】

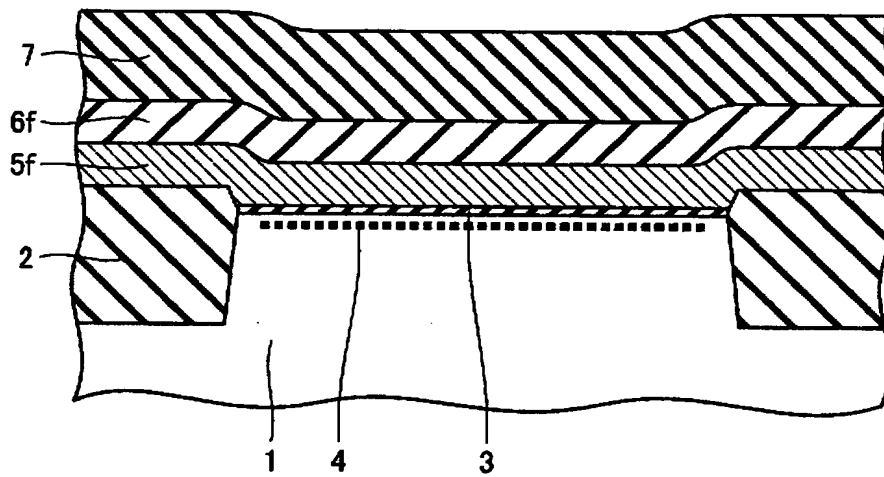
1 半導体基板、2 分離酸化膜、3 ゲート酸化膜、4 チャネル層、5 ゲート電極、5 f ポリシリコン膜、6, 6 f W S i 膜、7 窒化膜、8 側壁酸化膜、9 ソース／ドレイン領域、9 d, 1 4 d, 1 4 w d, 1 4 y d, 1 5 d, 1 5 d 1, 1 5 w d, 1 5 y d, 2 2 d 拡散部、1 0 サイドウォールスペーサ、1 1 窒化膜、1 1 k (窒化膜からなる) 拡散防止膜、1 2 層間絶縁膜、1 3, 1 3 w コンタクトホール、1 4, 1 4 w N 型不純物領域、1 5, 1 5 w, 1 5 y プラグ、1 6 P 型不純物領域、1 7 (窒化膜からなる) 拡散防止膜、1 7 f 窒化膜、1 8 (ボロンドープトポリシリコンからなる) 拡散防止膜、1 8 f ボロンドープトポリシリコン膜、2 2 (ボロンドープトポリシリコンからなる) 拡散防止膜、2 2 f ボロンドープトポリシリコン膜、3 0 空洞、3 1 (アンドープトポリシリコンからなる) 拡散防止膜。

【書類名】 図面

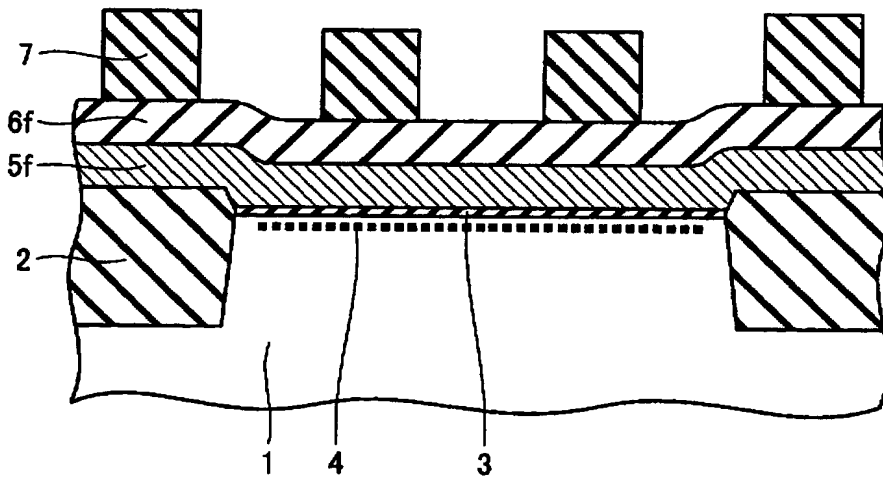
【図 1】



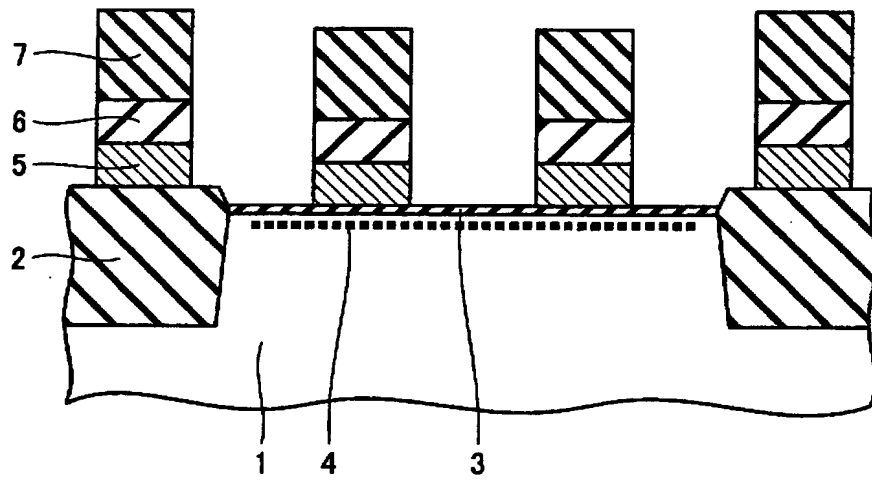
【図 2】



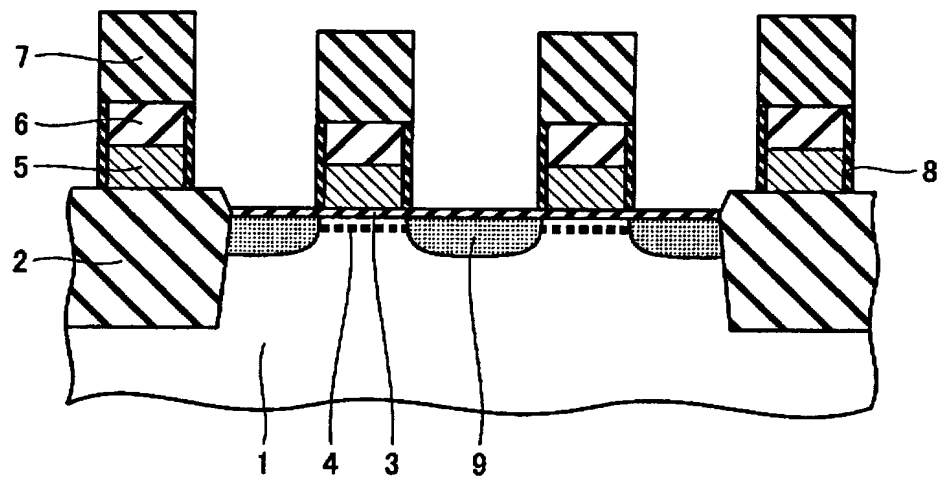
【図 3】



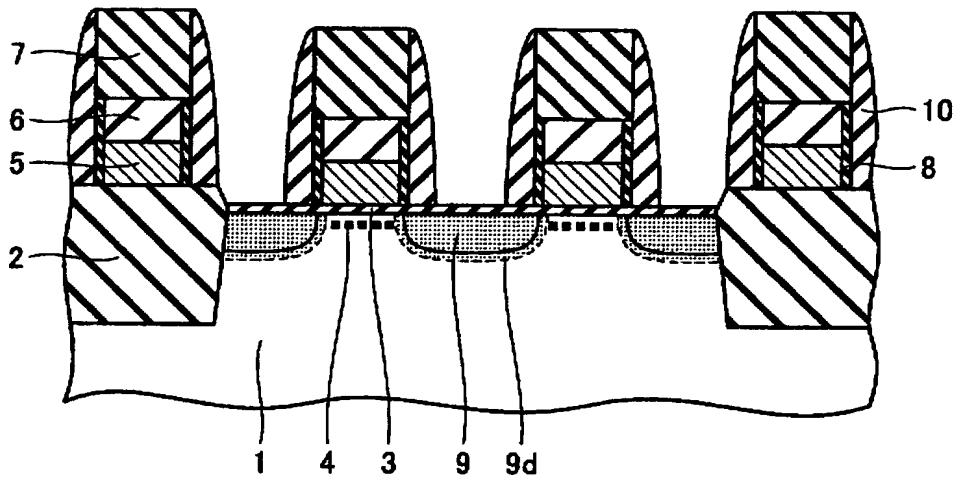
【図 4】



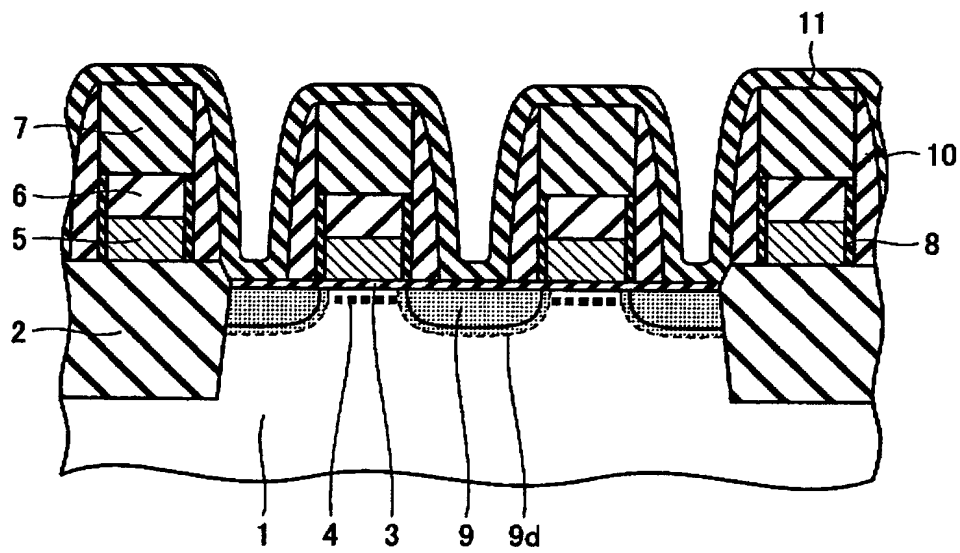
【図 5】



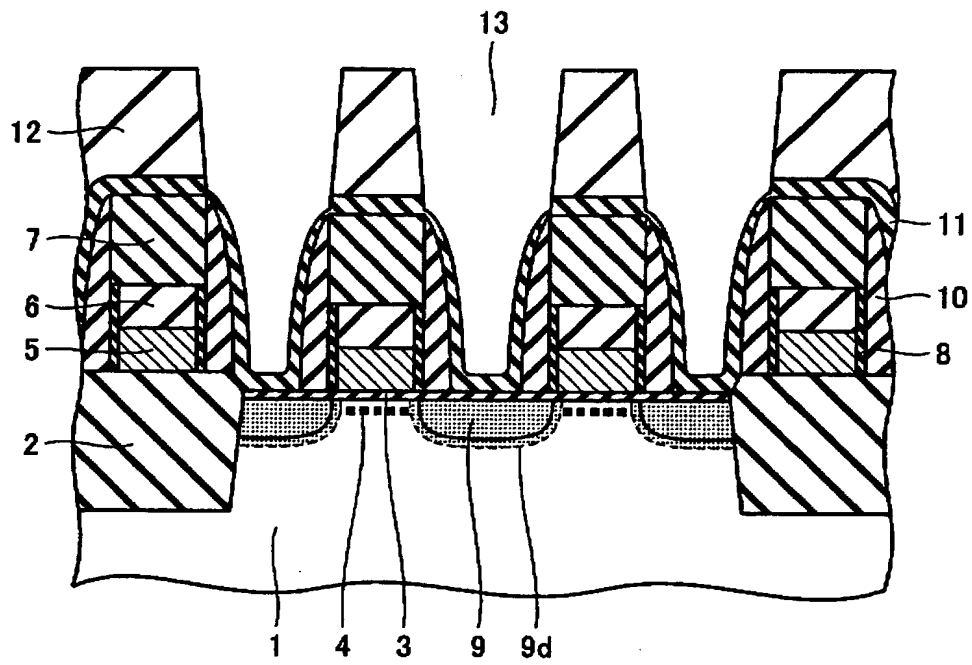
【図 6】



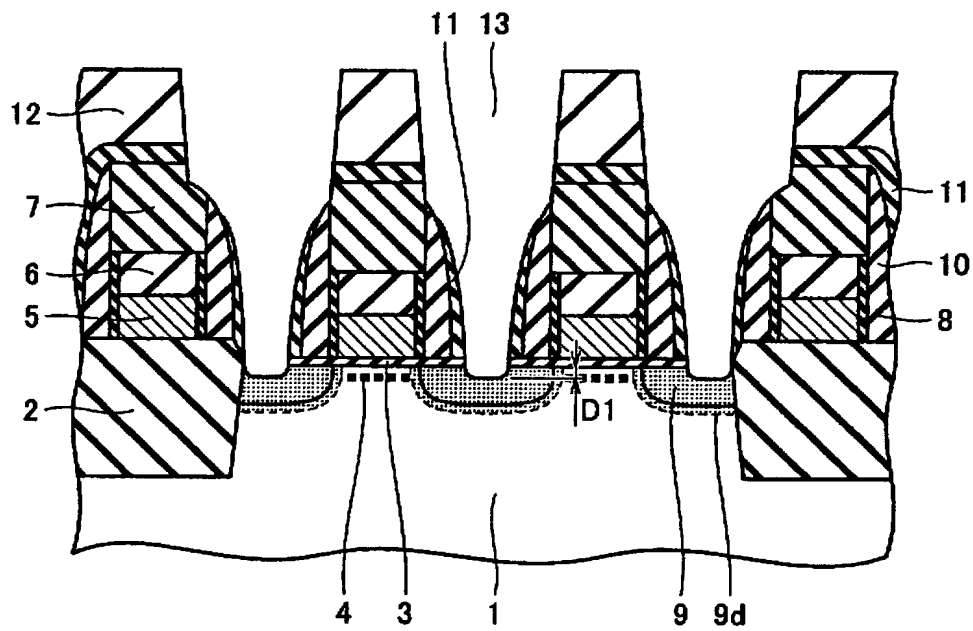
【図 7】



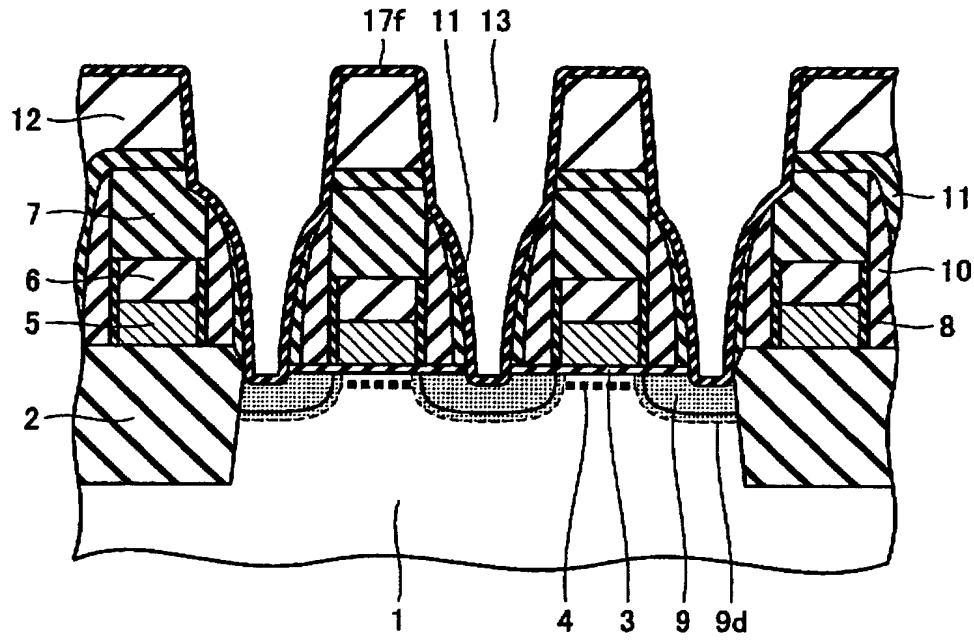
【図 8】



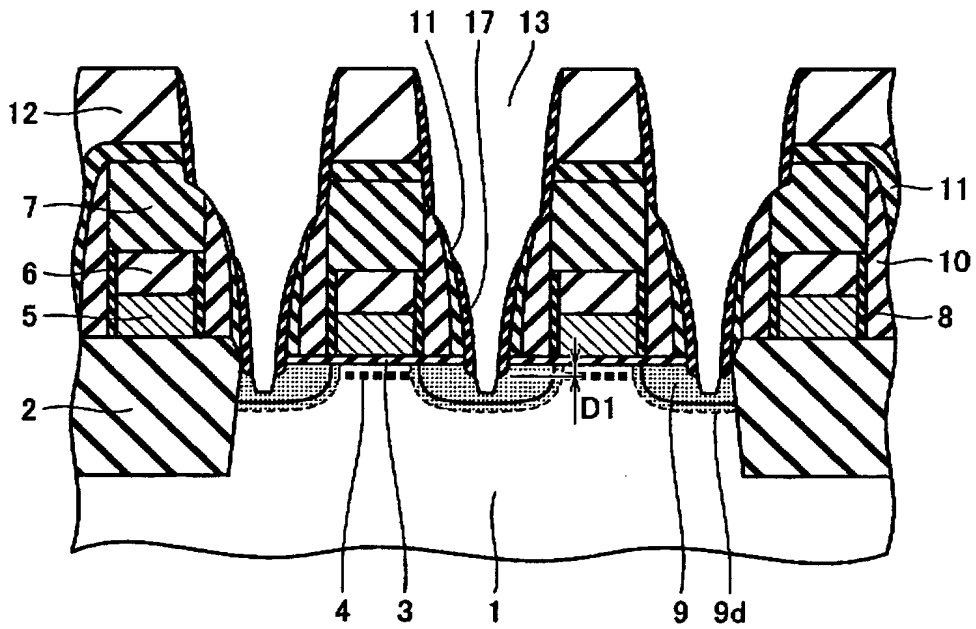
【図 9】



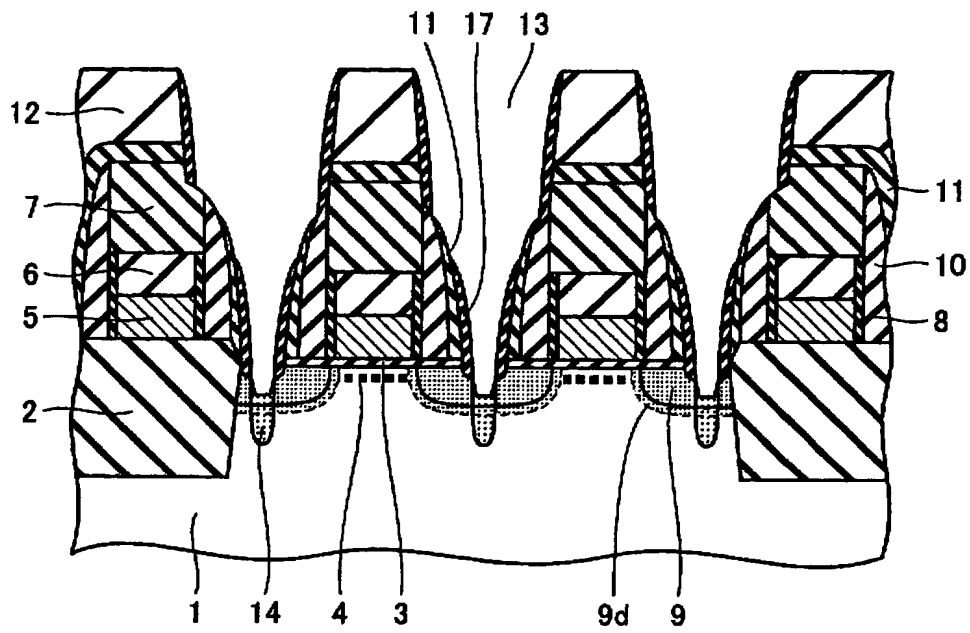
【図 1 0】



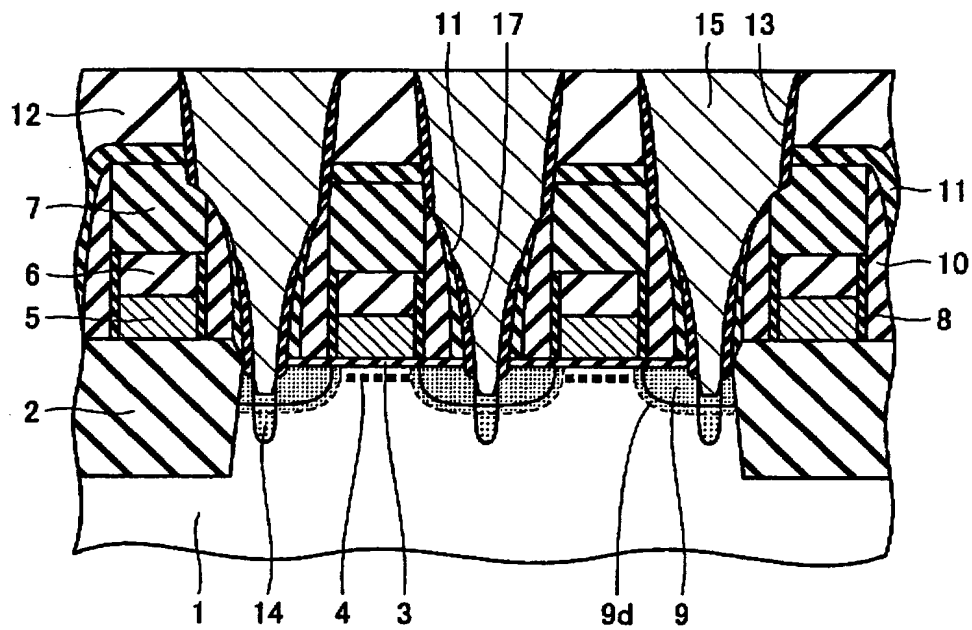
【図 1 1】



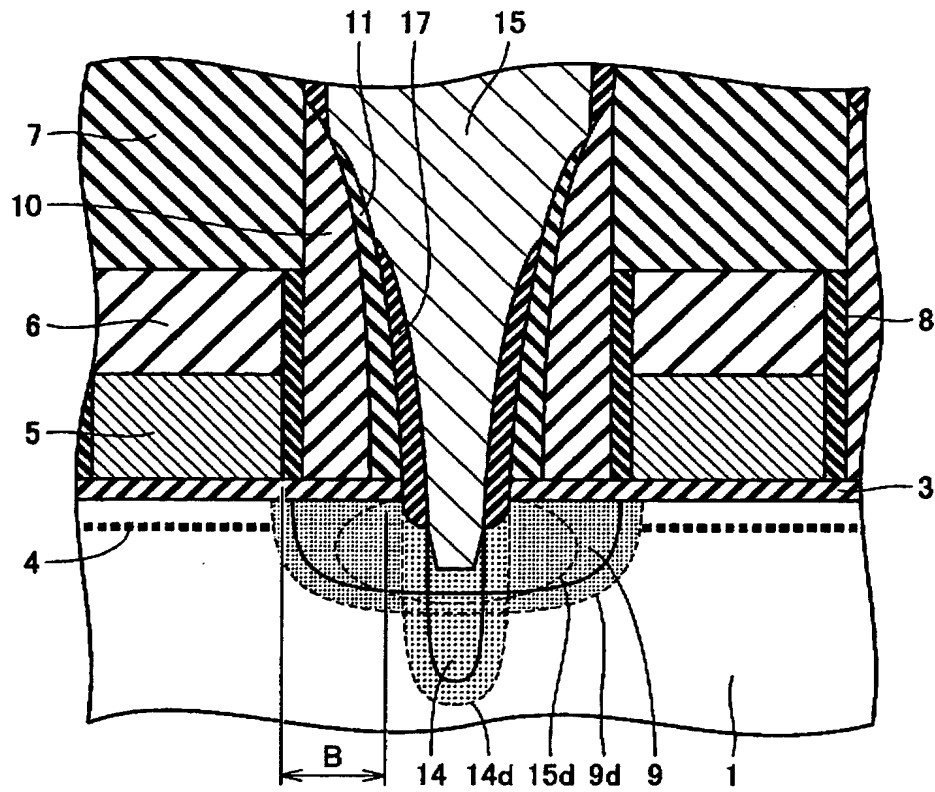
【図 1 2】



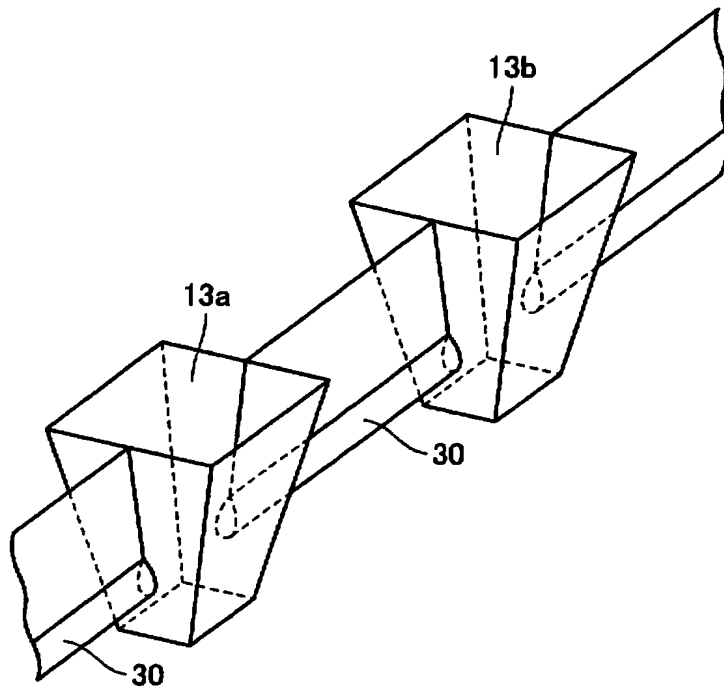
【図 1 3】



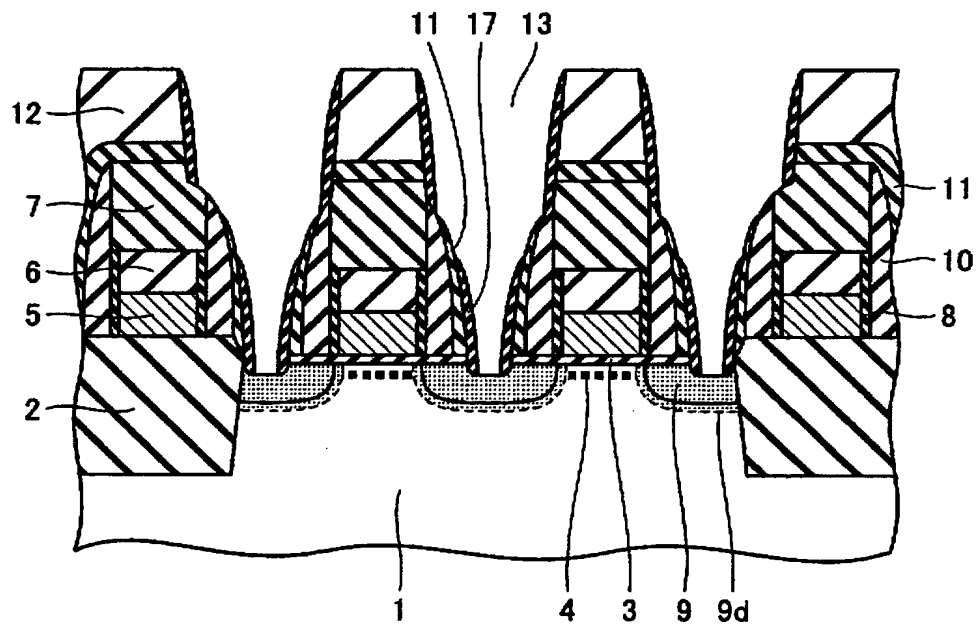
【図 1 4】



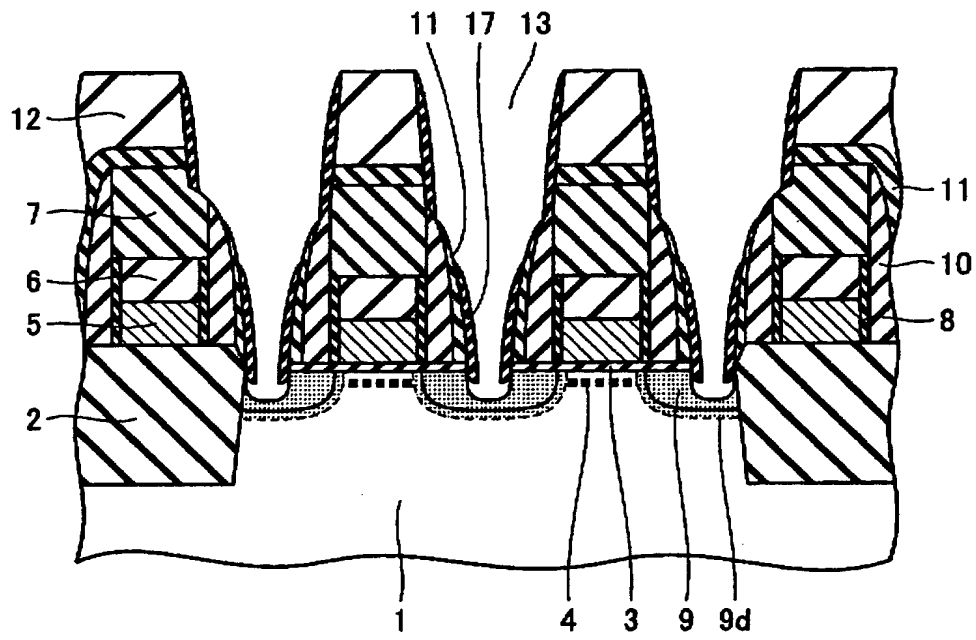
【図 1 7】



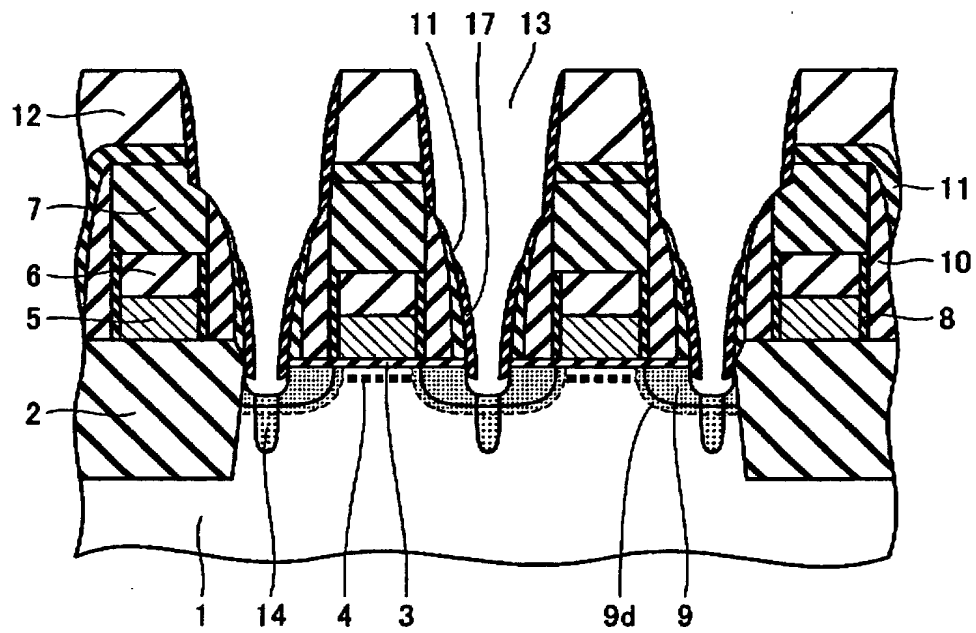
【図 1 8】



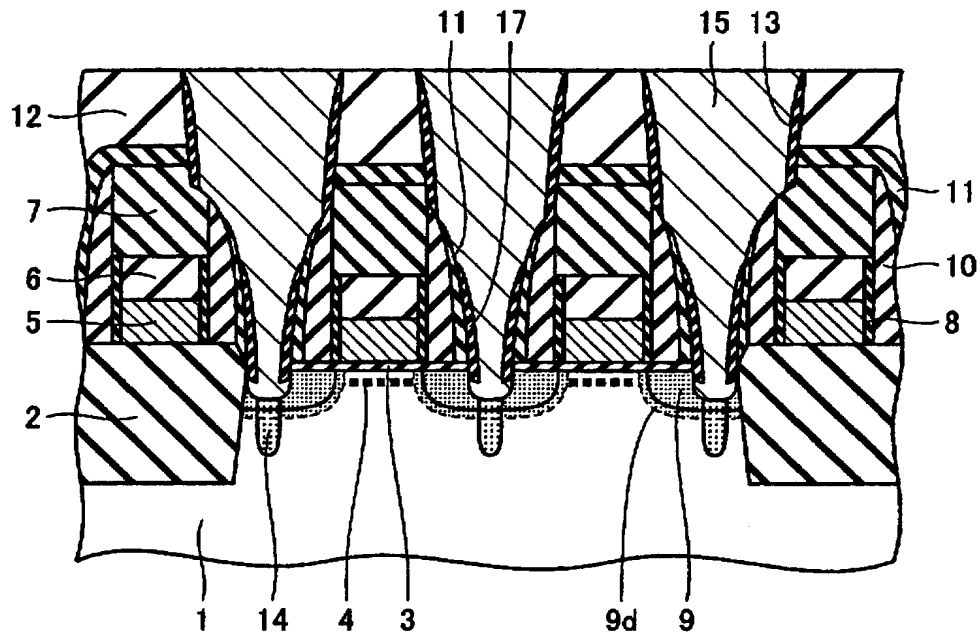
【図 1 9】



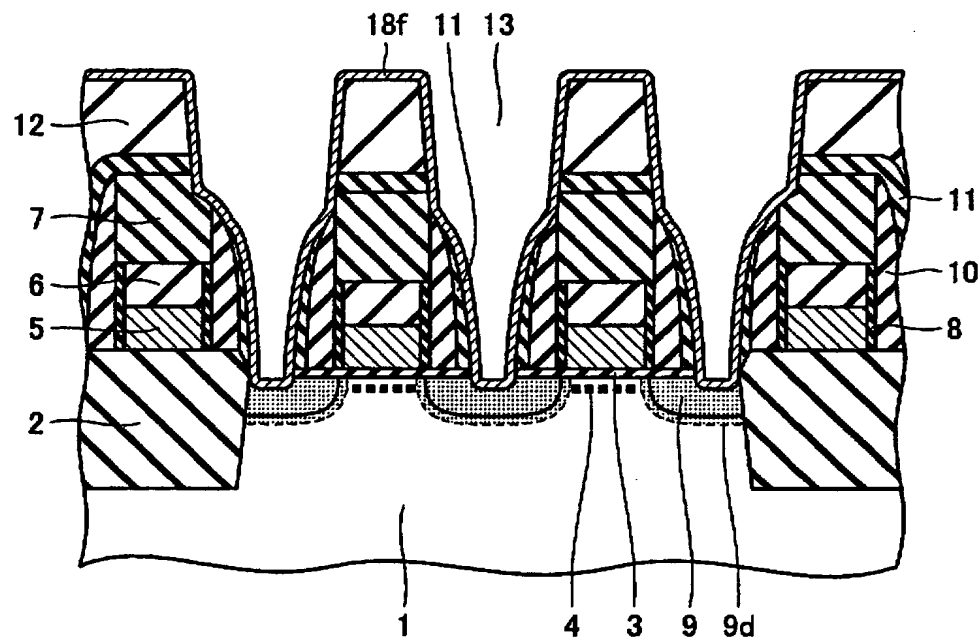
【図 2 0】



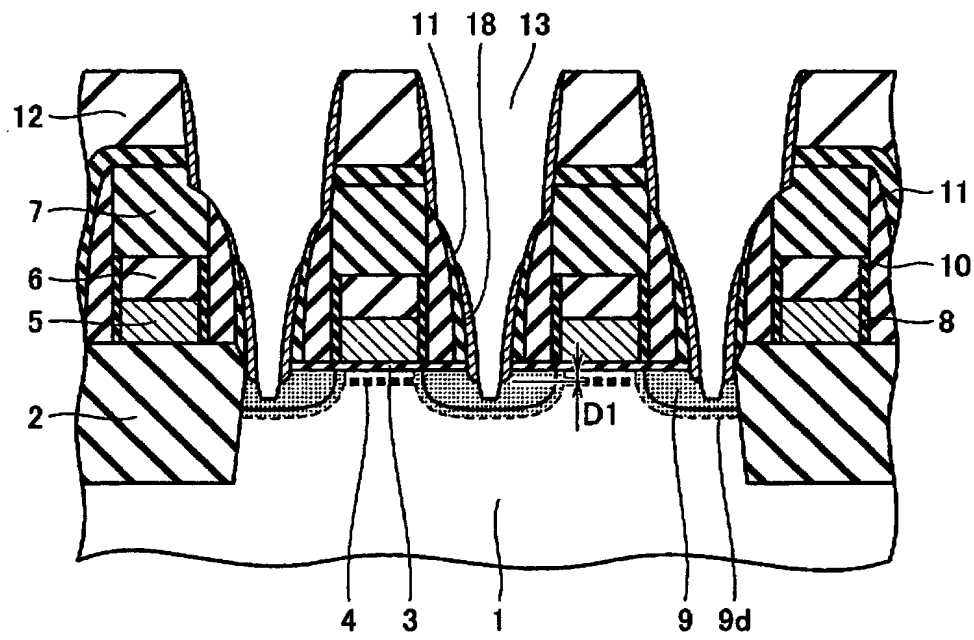
【図 2 1】



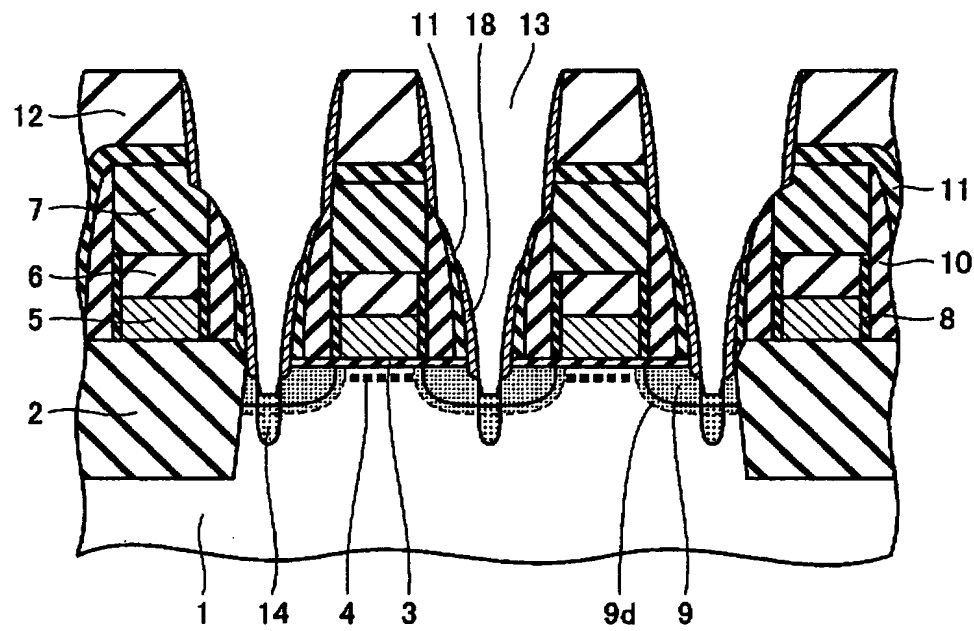
【図 2 2】



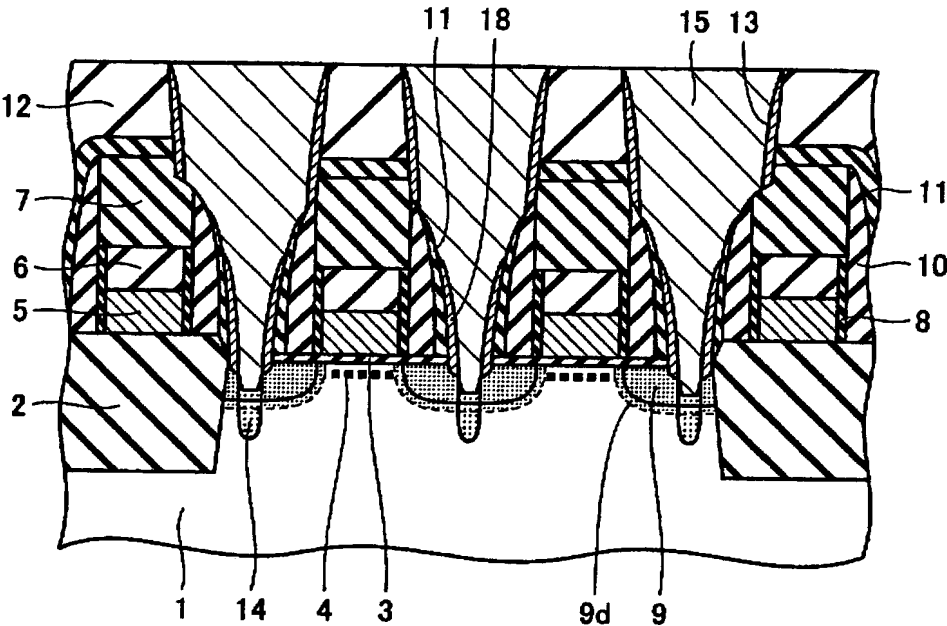
【図 2 3】



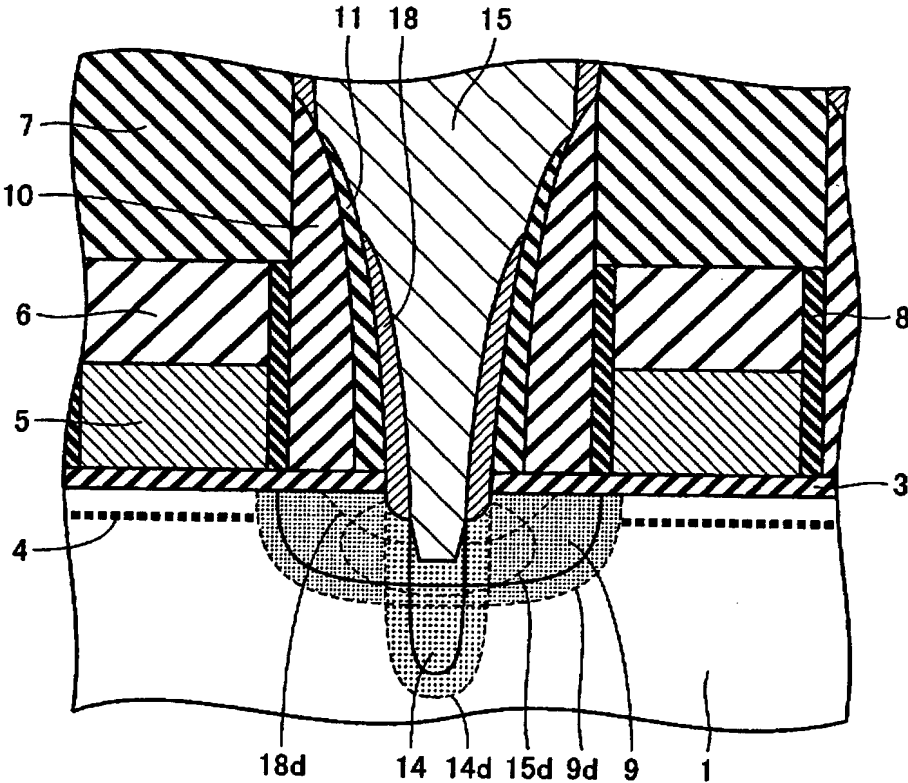
【図 2 4】



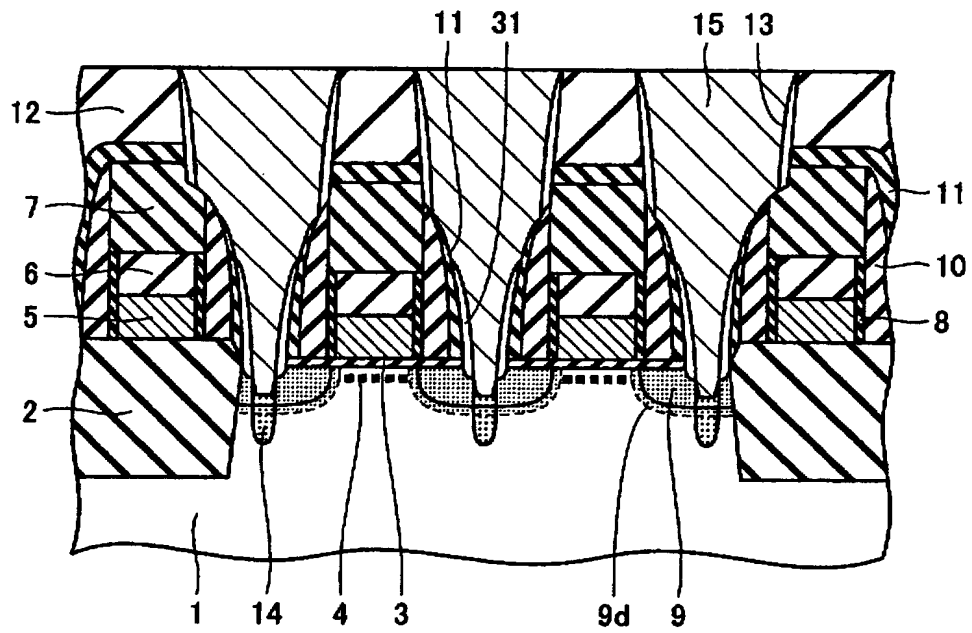
【図 2 5】



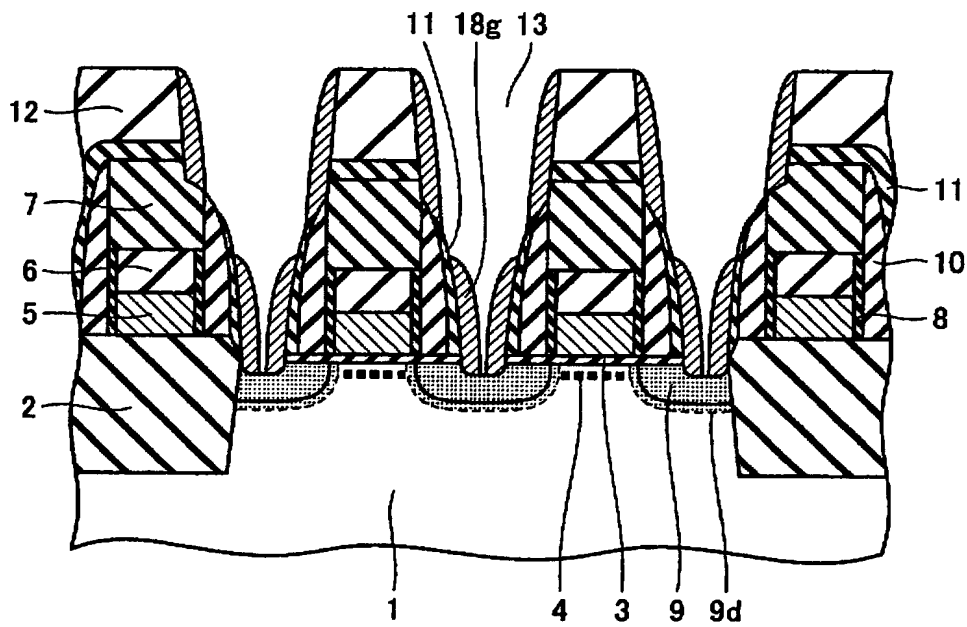
【図 2 6】



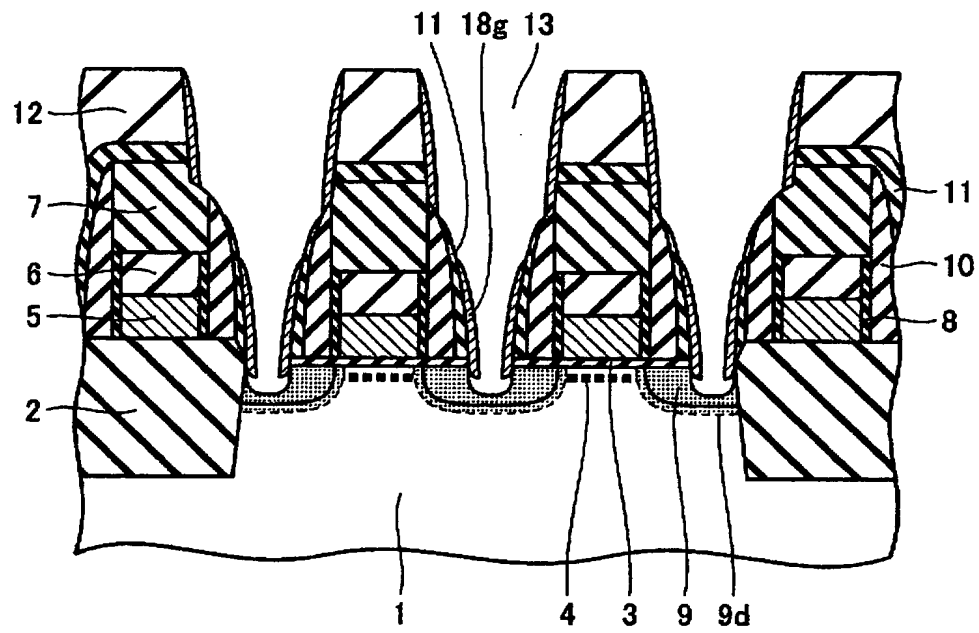
【図 2 7】



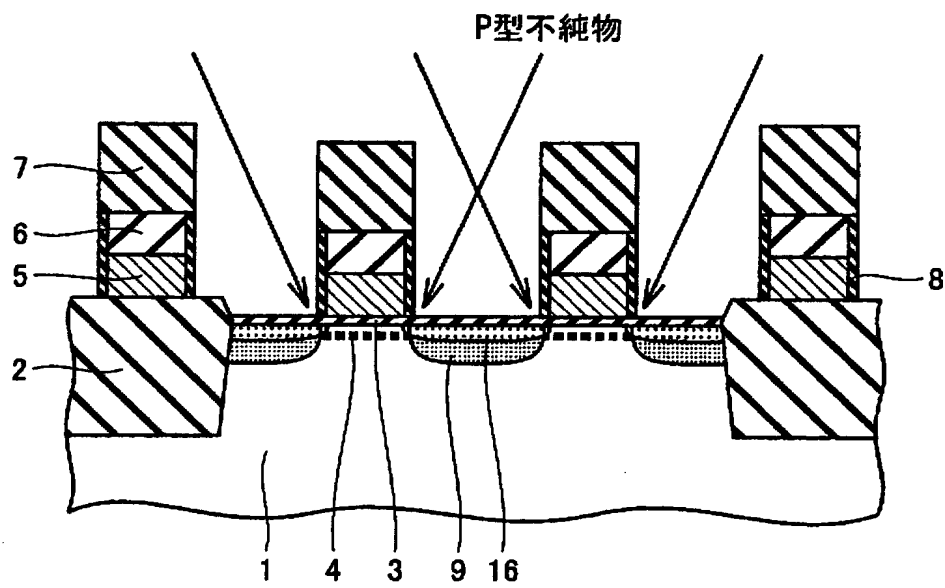
【図 2 8】



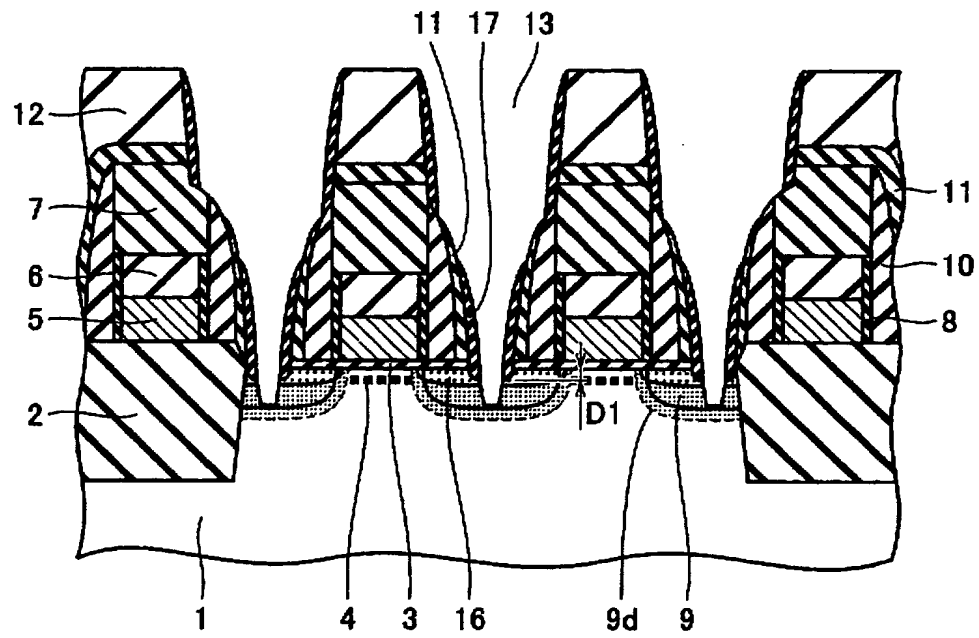
【図 2 9】



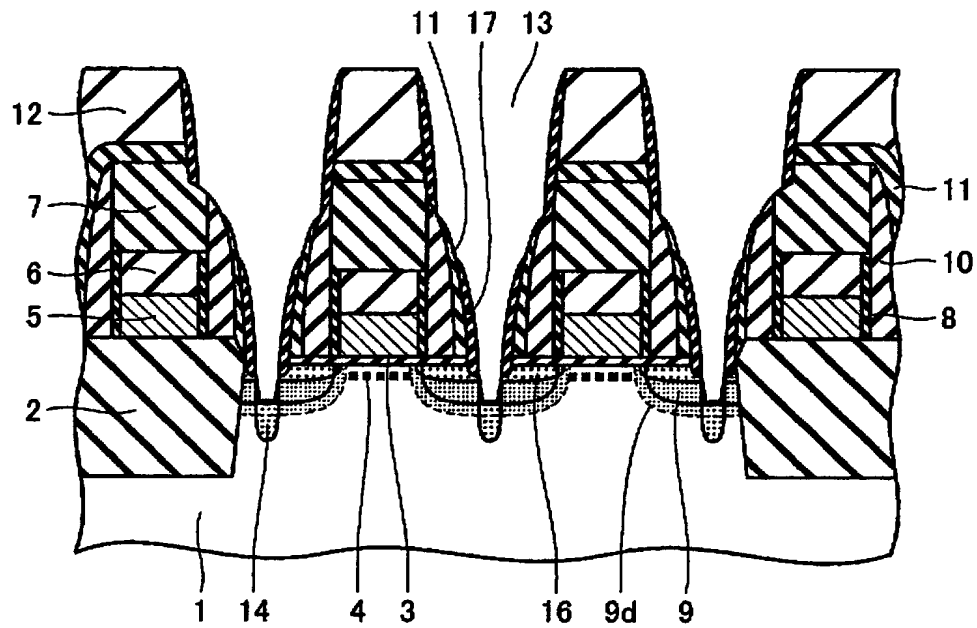
【図 3 0】



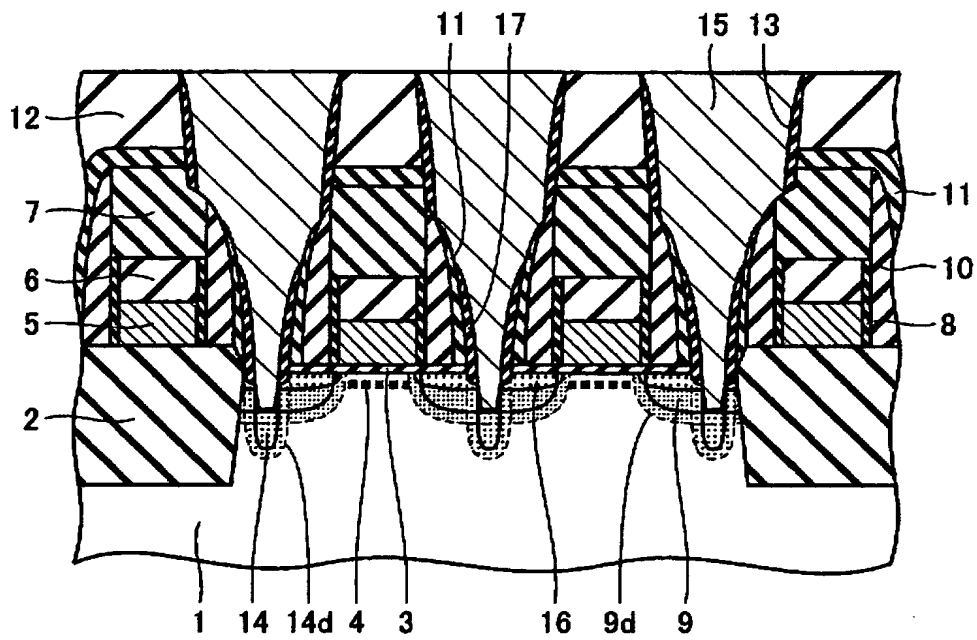
【図 3 1】



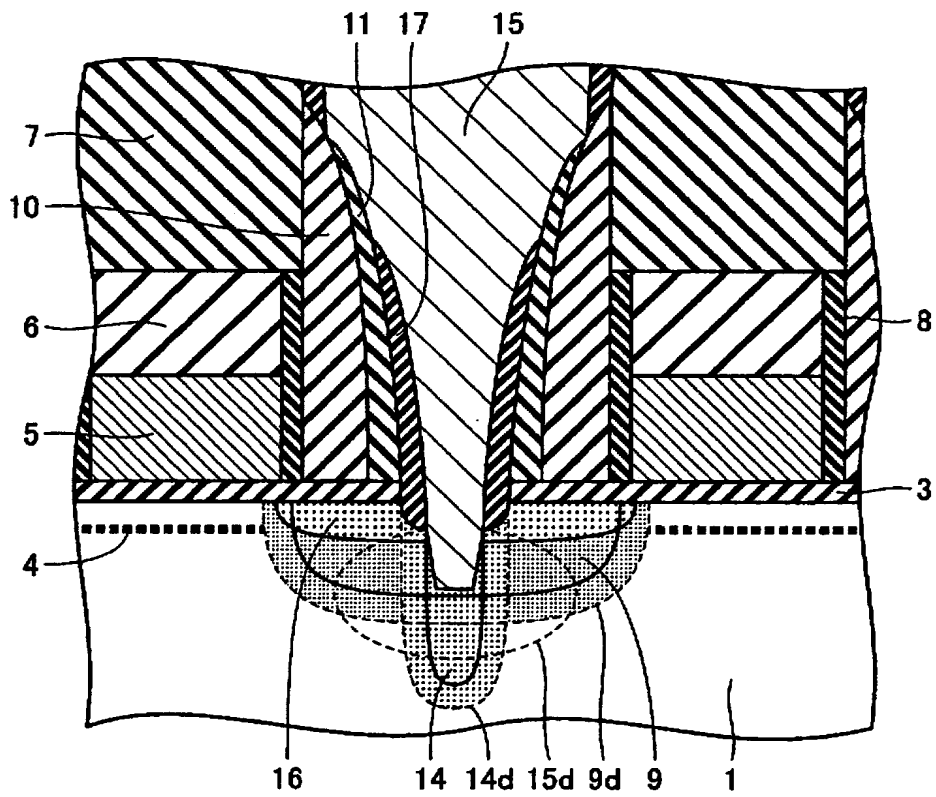
【図 3 2】



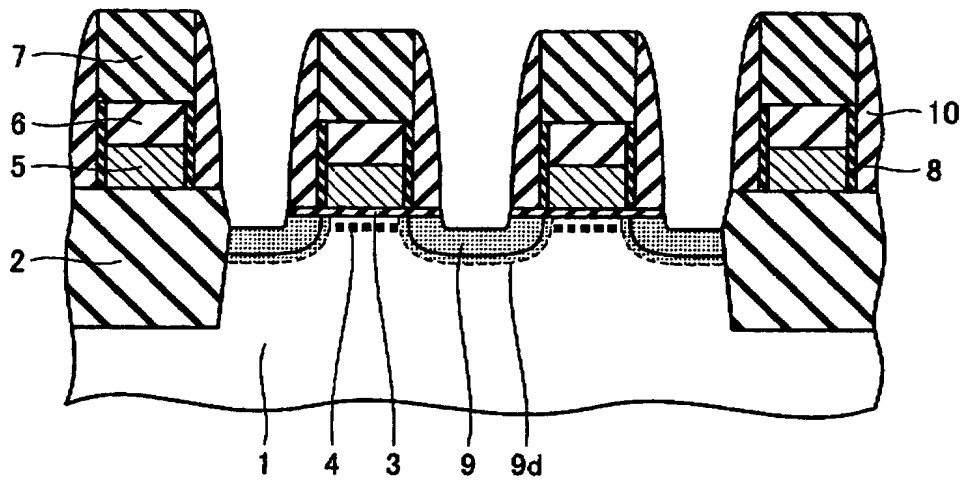
【図 3 3】



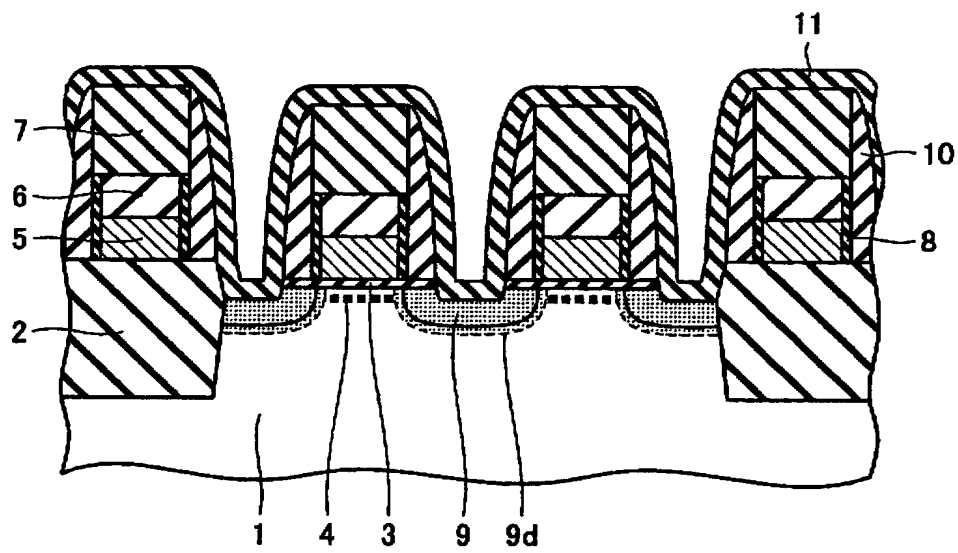
【図 3 4】



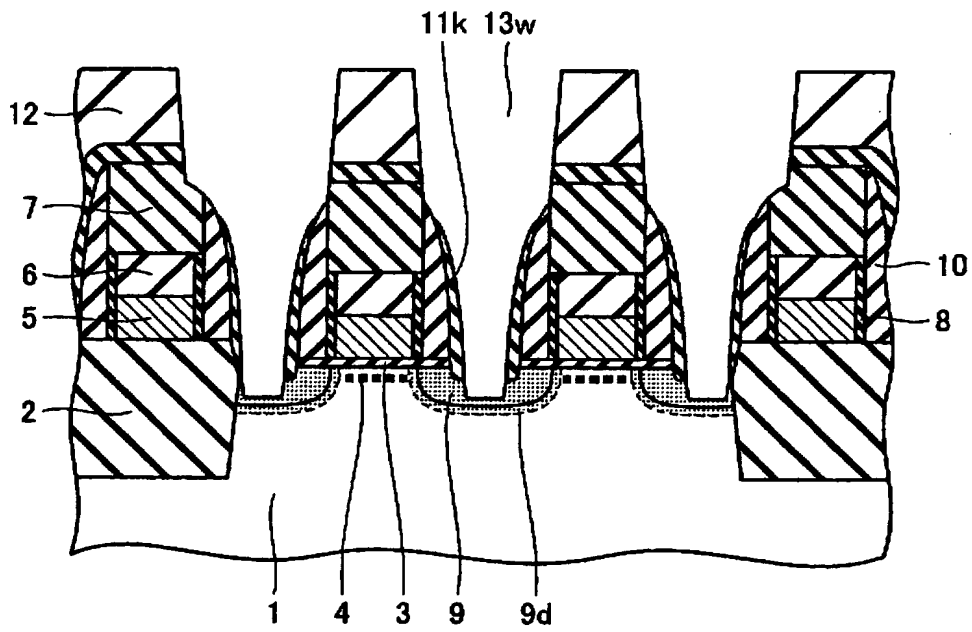
【図 3 5】



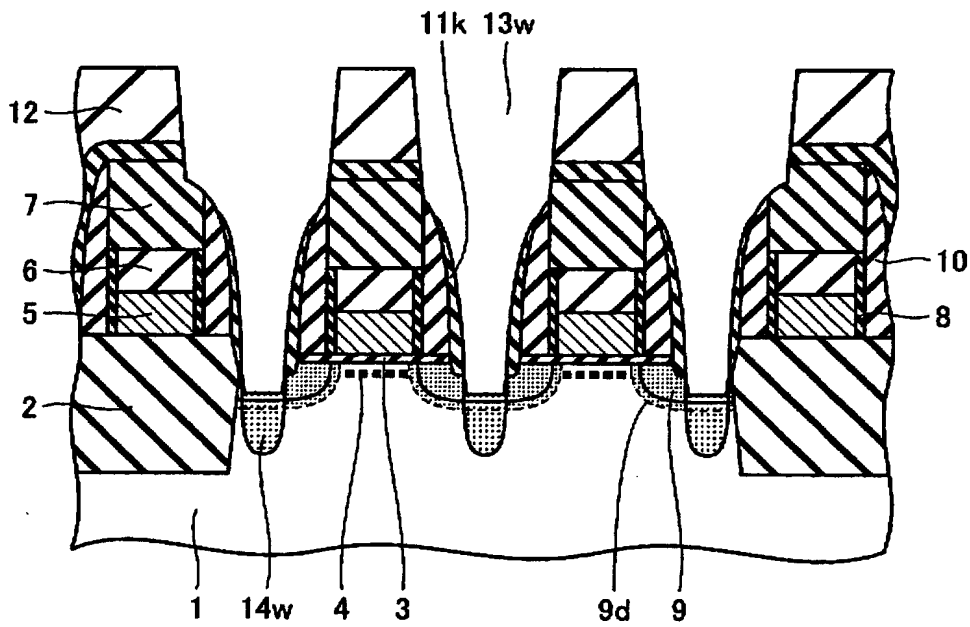
【図 3 6】



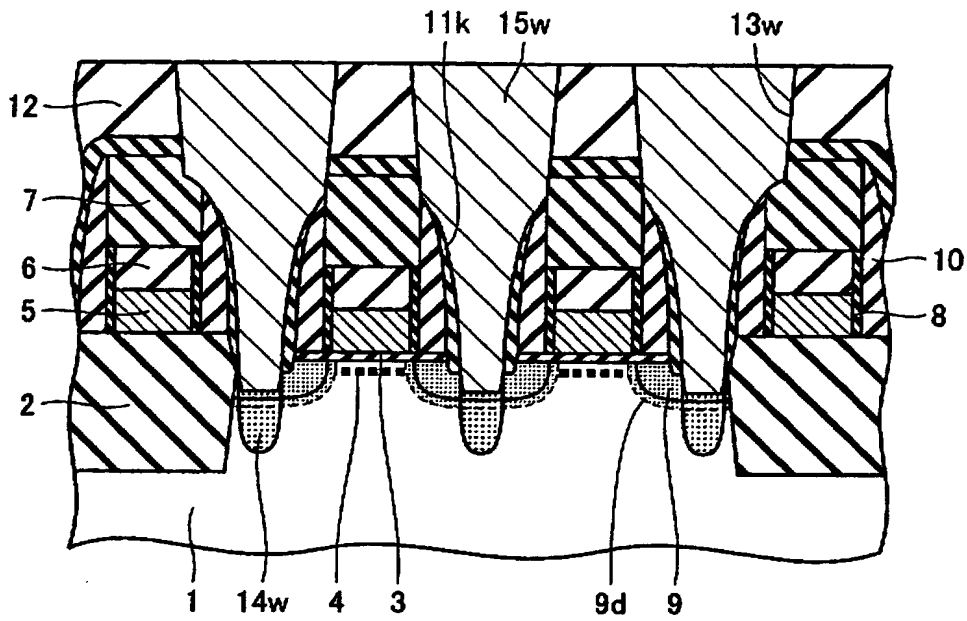
【図 3 7】



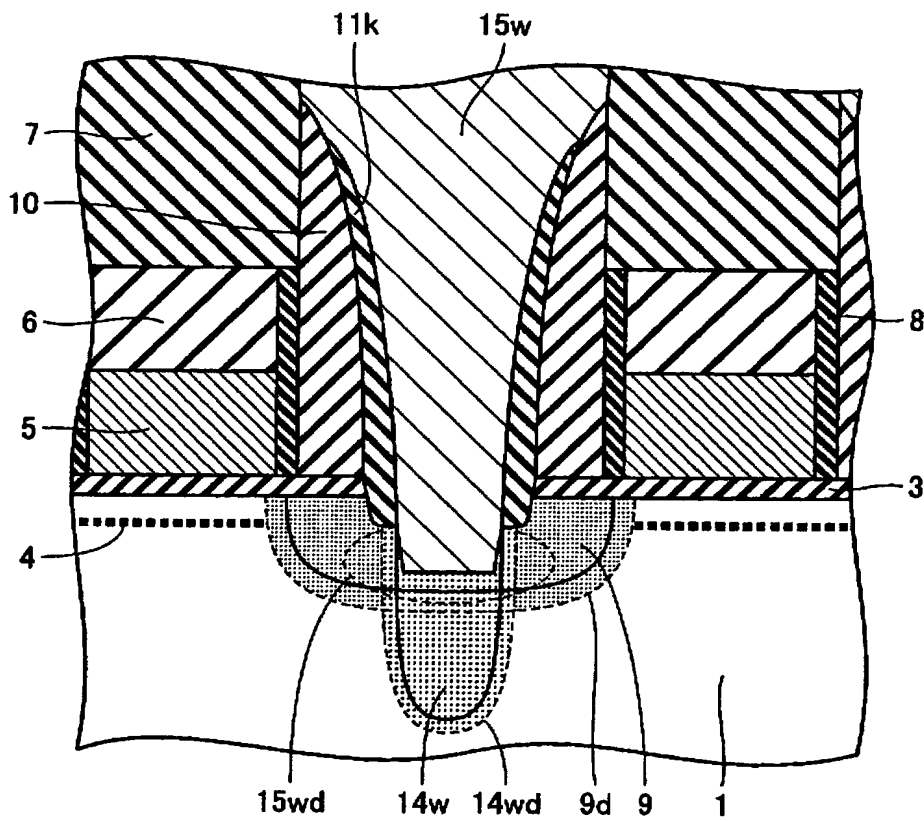
【図 3 8】



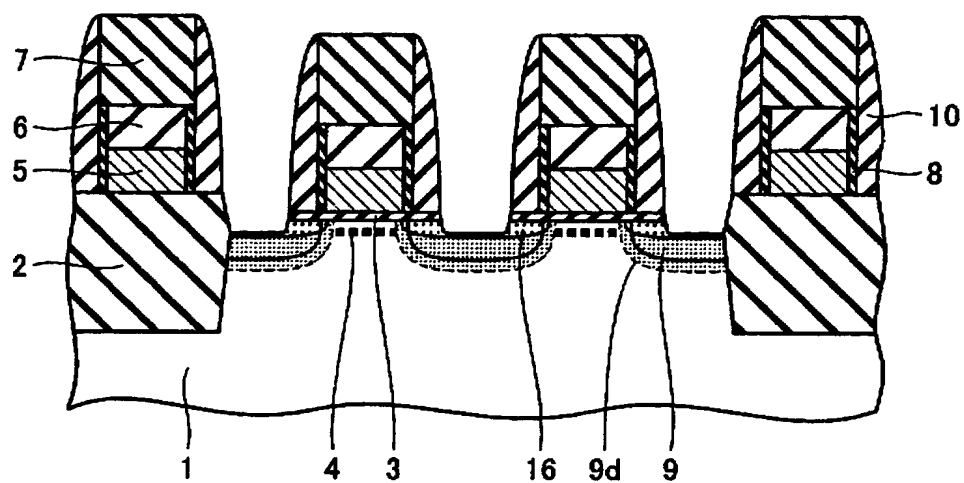
【図 3 9】



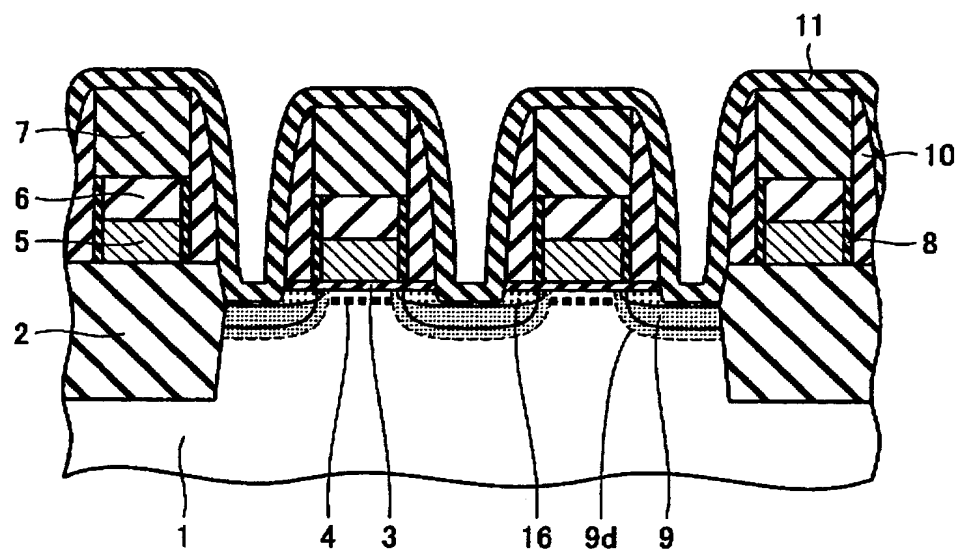
【図 4 0】



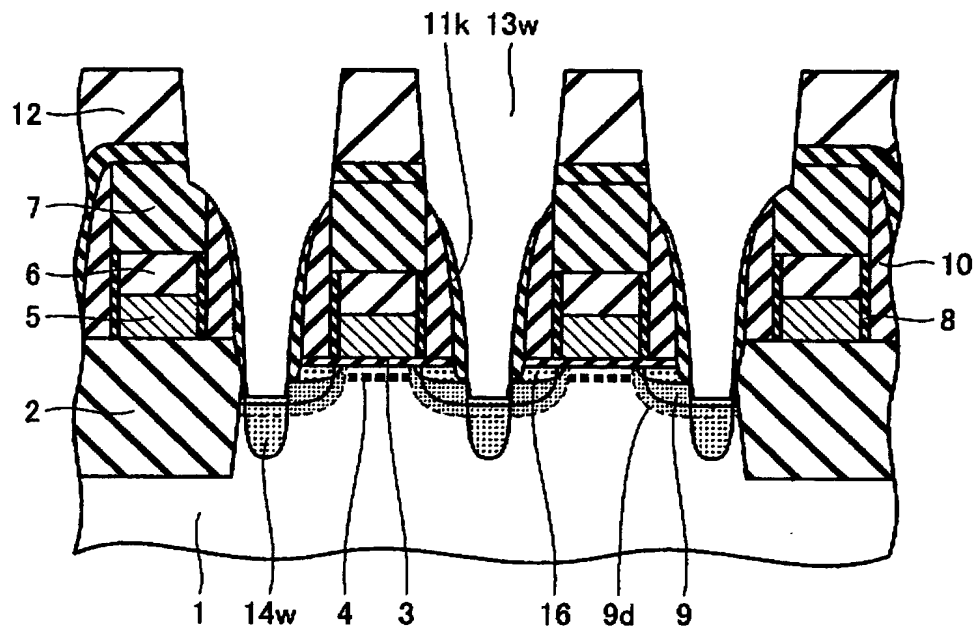
【図 4 1】



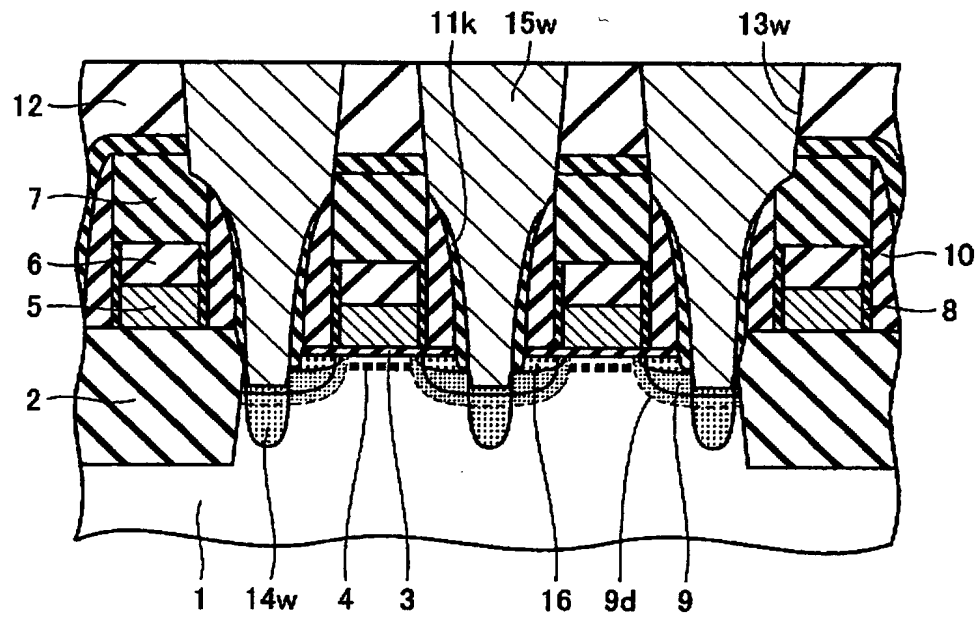
【図 4 2】



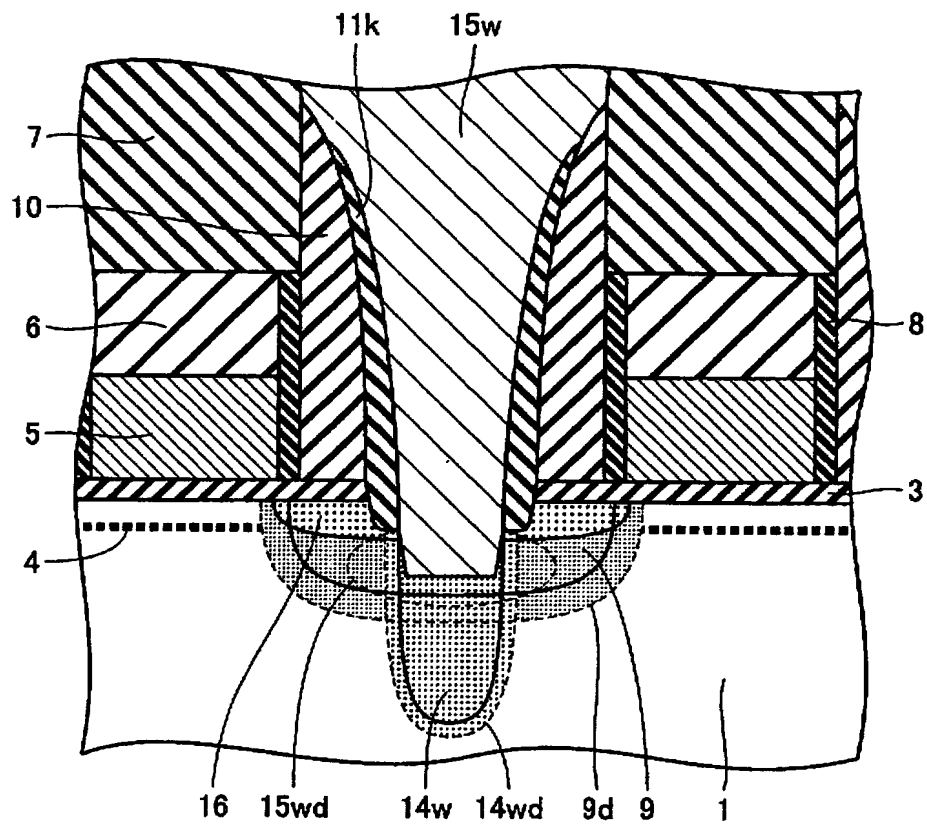
【図 4 3】



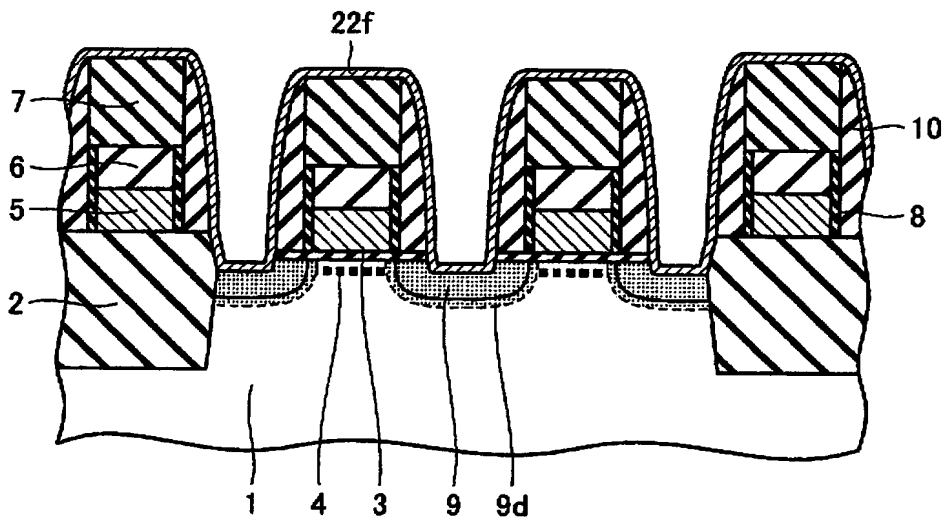
【図 4 4】



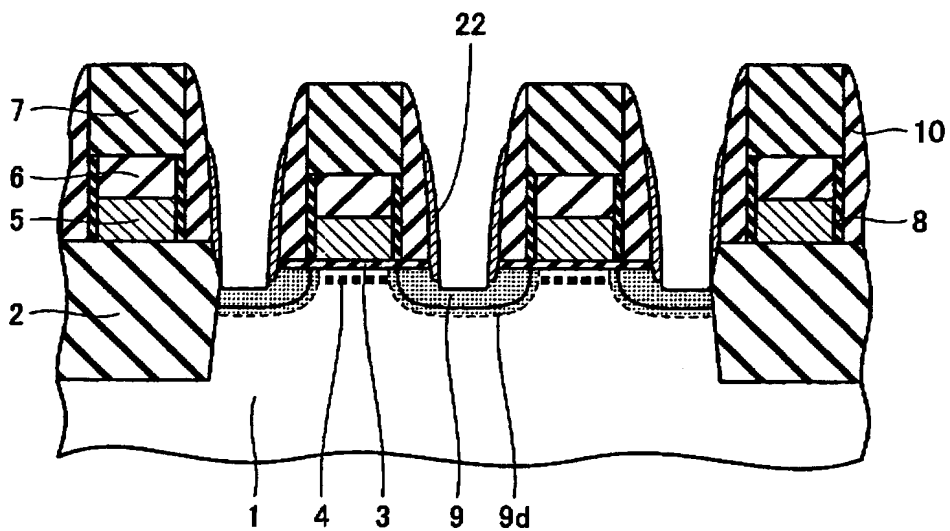
【図 4 5】



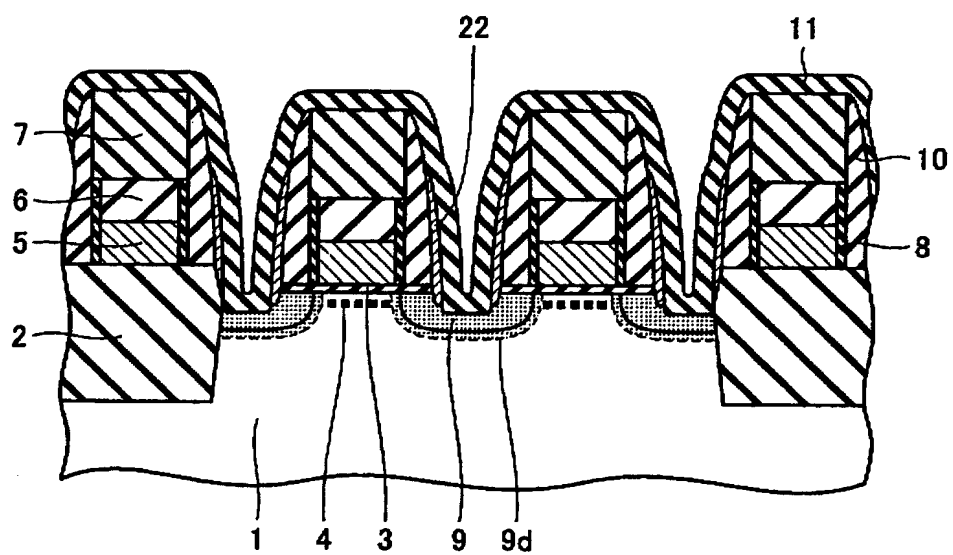
【図 4 6】



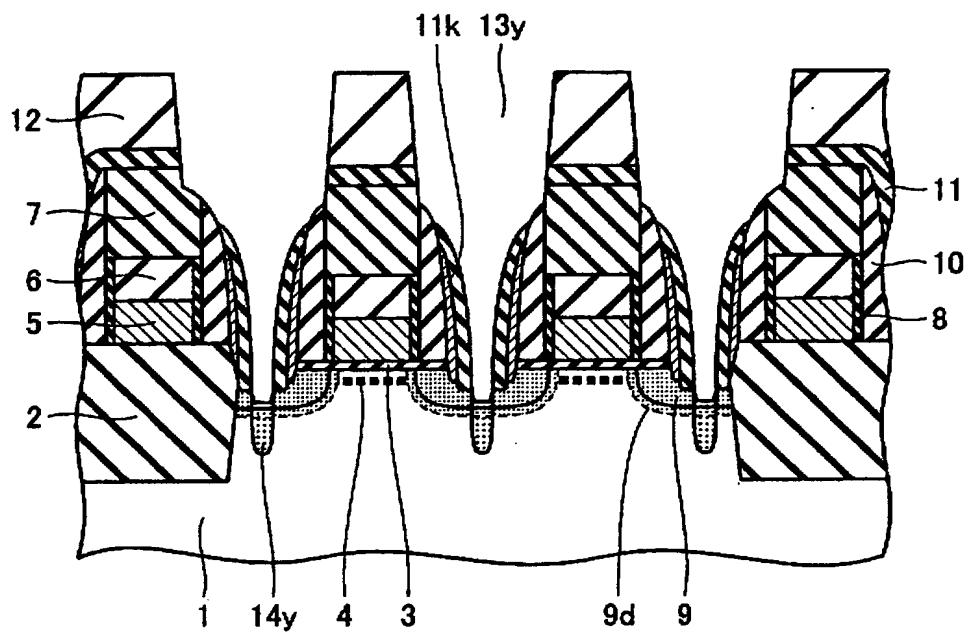
【図 4 7】



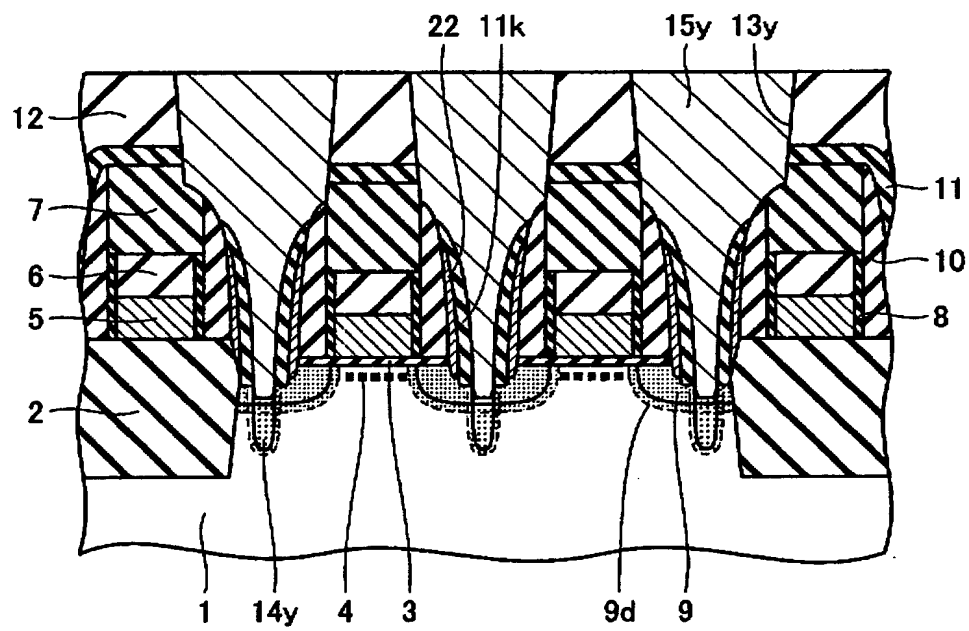
【図 4 8】



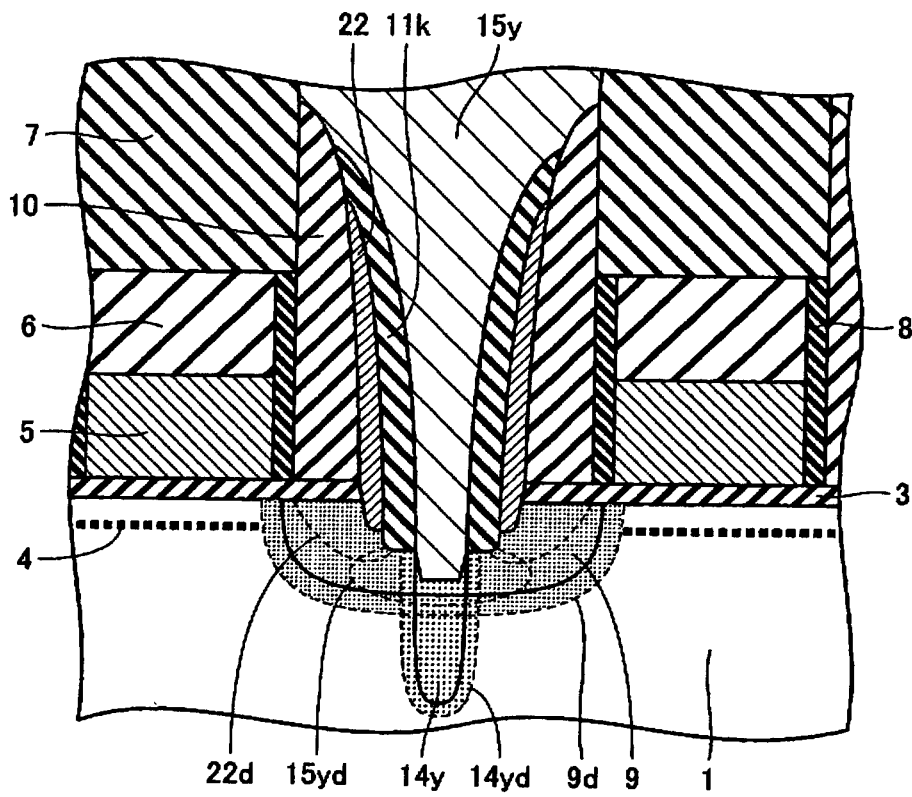
【図 4 9】



【図 5 0】



【図 5 1】



【書類名】 要約書

【要約】

【課題】 GIDLを防止し、なおかつ、パンチスルー耐性を高く維持することができ、なおかつ、コンタクト抵抗を増大させない半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、ゲート隆起部同士の間隙および上側を覆う層間絶縁膜12を形成する層間絶縁膜形成工程と、層間絶縁膜12の上面から前記ゲート隆起部同士の間を通過して半導体基板1の内部に入り込んだ第1底部に至るコンタクトホール13を形成するコンタクトホール形成工程と、前記第1底部の側面を覆う拡散防止膜17を形成するとともに前記第1底部の底面をさらに掘り下げることによって、底面および側面に半導体基板1を露出させた第2底部を形成する掘り下げ工程と、コンタクトホール13の内部に不純物をドーピングしたポリシリコンを充填してプラグ15とするプラグ形成工程とを含む。

【選択図】 図13



特2003-026904

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

東京都千代田区丸の内2丁目2番3号

氏 名

三菱電機株式会社